

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Mitsuhiro KASAHARA et al.  
Appl. No: : Not Yet Assigned PCT Branch  
Filed : Concurrently Herewith PCT/JP03/04721  
For : PICTURE CONVERSION APPARATUS AND PICTURE CONVERSION  
METHOD

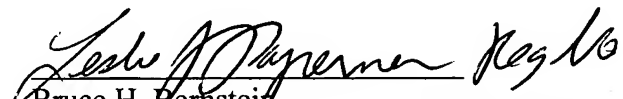
**CLAIM OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims the right of priority granted pursuant to 35 U.S.C. 119 and 365 based upon Japanese Application Nos. 2001-114569, filed April 17, 2002, and 2003-107140, filed April 10, 2003. The International Bureau already should have sent a certified copy of the Japanese application to the United States designated office. If the certified copy has not arrived, please contact the undersigned.

Respectfully submitted,  
Mitsuhiro KASAHARA et al.

  
Bruce H. Bernstein Reg. No. 29,027 33,329

October 7, 2004  
GREENBLUM & BERNSTEIN, P.L.C.  
1950 Roland Clarke Place  
Reston, VA 20191  
(703) 716-1191

Rec'd PCT/PTO 08 OCT 2004

PCT/JF 03/04721

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

14.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 4月17日

出 願 番 号  
Application Number:

特願2002-114569

[ST.10/C]:

[JP2002-114569]

出 願 人  
Applicant(s):

松下電器産業株式会社

REC'D 20 JUN 2003

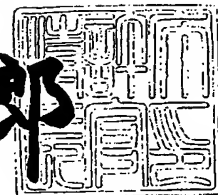
WIPO PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 6月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037119

特 2 0 0 2 - 1 1 4 5 6 9

【書類名】 特許願

【整理番号】 2117530390

【提出日】 平成14年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/01

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 笠原 光弘

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大喜 智明

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 川村 秀昭

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中東 秀人

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

特 2 0 0 2 - 1 1 4 5 6 9

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 画像変換装置および画像変換方法

【特許請求の範囲】

【請求項 1】 入力された連続する複数のインタレース画像フィールド信号から第 1 のプログレッシブ画像フィールド信号を生成する第 1 のプログレッシブ画像生成手段と、前記入力された連続する複数のインタレース画像フィールド信号から第 2 のプログレッシブ画像フィールド信号を生成する第 2 のプログレッシブ画像生成手段を有し、さらに前記第 1 のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第 3 のプログレッシブ画像フィールド信号を形成する第 1 の画素形成手段と、前記第 2 のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第 4 のプログレッシブ画像フィールド信号を形成する第 2 の画素形成手段との、少なくともどちらか一方の画素形成手段を有し、前記第 2 のプログレッシブ画像フィールド信号と前記第 3 のプログレッシブ画像フィールド信号、または、前記第 1 のプログレッシブ画像フィールド信号と前記第 4 のプログレッシブ画像フィールド信号、または、前記第 3 のプログレッシブ画像フィールド信号と前記第 4 のプログレッシブ画像フィールド信号の対応する画素間、および、または、対応する画素とその周辺の画素の値を比較し、その比較結果から動き量を演算して出力する比較手段と、前記入力されたインタレース画像フィールド信号から静止画処理によって静止画プログレッシブ画像フィールド信号を生成する静止画処理手段と、前記入力されたインタレース画像フィールド信号から動画処理によって動画プログレッシブ画像フィールド信号を生成する動画処理手段と、前記比較手段が演算した動き量によって、前記静止画処理手段が出力する静止画プログレッシブ画像フィールド信号と前記動画処理手段が出力する動画プログレッシブ画像フィールド信号とを割合を変えて出力する出力手段を有することを特徴とする画像変換装置。

【請求項 2】 前記第 1 の画素形成手段は、前記第 1 のプログレッシブ画像フィールド信号のライン間に新たに画素を形成し、前記第 2 の画素形成手段は、前記第 2 のプログレッシブ画像フィールド信号のライン間に新たに画素を形成することを特徴とする請求項 1 記載の画像変換装置。

【請求項 3】 前記切り換え手段は、前記比較手段が出力する動き量が、前記第 1 または前記第 2 のプログレッシブ画像フィールド信号に対して、1 ライン以下である場合、静止画像の割合を多くして出力することを特徴とする請求項 2 記載の画像変換装置。

【請求項 4】 前記切り換え手段は、前記比較手段が出力する動き量が、前記第 1 または前記第 2 のプログレッシブ画像フィールド信号に対して、0.75 ライン以下である場合、静止画像の割合を多くして出力することを特徴とする請求項 2 記載の画像変換装置。

【請求項 5】 前記切り換え手段は、前記比較手段が出力する動き量が、前記第 1 または前記第 2 のプログレッシブ画像フィールド信号に対して、0.5 ライン以下である場合、静止画像の割合を多くして出力することを特徴とする請求項 2 記載の画像変換装置。

【請求項 6】 第 1 から第 4 までの 4 つのインタレース画像フィールド信号を入力し、前記第 1 のプログレッシブ画像生成手段は、第 1 から第 3 の 3 つのインタレース画像フィールド信号から第 1 のプログレッシブ画像フィールド信号を生成し、前記第 2 のプログレッシブ画像生成手段は、第 2 から第 4 の 3 つのインタレース画像フィールド信号から第 2 のプログレッシブ画像フィールド信号を生成することを特徴とする請求項 1 から請求項 5 のいずれかに記載の画像変換装置。

【請求項 7】 非適用領域検出手段を設け、前記出力手段は、前記比較手段の比較結果と前記非適用領域検出手段の検出結果によって、前記静止画処理手段が出力する静止画プログレッシブ画像フィールド信号と前記動画処理手段が出力する動画プログレッシブ画像フィールド信号との割合を変えて出力することを特徴とする請求項 1 から請求項 6 のいずれかに記載の表示装置。

【請求項 8】 前記非適用領域検出手段は、前記インタレース画像フィールドのフィールド間の画像信号の対応する画素を含む周辺の画素の信号の値の平均値により検出することを特徴とする請求項 7 記載の表示装置。

【請求項 9】 入力された連続する複数のインタレース画像フィールド信号から第 1 のプログレッシブ画像フィールド信号を生成する第 1 のプログレッシブ画

像生成ステップと、前記入力された連続する複数のインタレース画像フィールド信号から第2のプログレッシブ画像フィールド信号を生成する第2のプログレッシブ画像生成ステップを有し、さらに前記第1のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第3のプログレッシブ画像フィールド信号を形成する第1の画素形成ステップと、前記第2のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第4のプログレッシブ画像フィールド信号を形成する第2の画素形成ステップとの、少なくともどちらか一方の画素形成ステップを有し、前記第2のプログレッシブ画像フィールド信号と前記第3のプログレッシブ画像フィールド信号、または、前記第1のプログレッシブ画像フィールド信号と前記第4のプログレッシブ画像フィールド信号、または、前記第3のプログレッシブ画像フィールド信号と前記第4のプログレッシブ画像フィールド信号の対応する画素間、および、または、対応する画素とその周辺の画素の値を比較し、その比較結果から動き量を演算して出力する比較ステップと、前記入力されたインタレース画像フィールド信号から静止画処理によって静止画プログレッシブ画像フィールド信号を生成する静止画処理ステップと、前記入力されたインタレース画像フィールド信号から動画処理によって動画プログレッシブ画像フィールド信号を生成する動画処理ステップと、前記比較ステップが演算した動き量によって、前記静止画処理ステップが出力する静止画プログレッシブ画像フィールド信号と前記動画処理ステップが出力する動画プログレッシブ画像フィールド信号とを割合を変えて出力する出力ステップを有することを特徴とする画像変換方法。

【請求項10】 前記第1の画素形成ステップは、前記第1のプログレッシブ画像フィールド信号のライン間に新たに画素を形成し、前記第2の画素形成ステップは、前記第2のプログレッシブ画像フィールド信号のライン間に新たに画素を形成することを特徴とする請求項9記載の画像変換方法。

【請求項11】 前記切り換えステップは、前記比較ステップが出力する動き量が、前記第9または前記第10のプログレッシブ画像フィールド信号に対して、1ライン以下である場合、静止画像の割合を多くして出力することを特徴とする請求項10記載の画像変換方法。

【請求項 1 2】 前記切り換えステップは、前記比較ステップが出力する動き量が、前記第 1 または前記第 2 のプログレッシブ画像フィールド信号に対して、0. 7 5 ライン以下である場合、静止画像の割合を多くして出力することを特徴とする請求項 1 0 記載の画像変換方法。

【請求項 1 3】 前記切り換えステップは、前記比較ステップが出力する動き量が、前記第 1 または前記第 2 のプログレッシブ画像フィールド信号に対して、0. 5 ライン以下である場合、静止画像の割合を多くして出力することを特徴とする請求項 1 0 記載の画像変換方法。

【請求項 1 4】 第 1 から第 4 までの 4 つのインタレース画像フィールド信号を入力し、前記第 1 のプログレッシブ画像生成ステップは、第 1 から第 3 の 3 つのインタレース画像フィールド信号から第 1 のプログレッシブ画像フィールド信号を生成し、前記第 2 のプログレッシブ画像生成ステップは、第 2 から第 4 の 3 つのインタレース画像フィールド信号から第 2 のプログレッシブ画像フィールド信号を生成することを特徴とする請求項 9 から請求項 1 3 のいずれかに記載の画像変換方法。

【請求項 1 5】 非適用領域検出ステップを設け、前記出力ステップは、前記比較ステップの比較結果と前記非適用領域検出ステップの検出結果によって、前記静止画処理ステップが出力する静止画プログレッシブ画像フィールド信号と前記動画処理ステップが出力する動画プログレッシブ画像フィールド信号との割合を変えて出力することを特徴とする請求項 9 から請求項 1 4 のいずれかに記載の表示方法。

【請求項 1 6】 前記非適用領域検出ステップは、前記インタレース画像フィールドのフィールド間の画像信号の対応する画素を含む周辺の画素の信号の値の平均値により検出することを特徴とする請求項 1 5 記載の表示方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、インタレース映像信号をプログレッシブ映像信号に変換する画像変換装置および画像変換方法に関するものである。特に、画像の微小な動きに対し



ても、良好なプログレッシブ映像信号に変換できる画像変換装置および画像変換方法に関するものである。

【 0 0 0 2 】

【従来の技術】

インタレース映像信号をプログレッシブ映像信号に変換する際は、従来、動き適応型プログレッシブ変換装置と呼ばれるものが用いられていた。

【 0 0 0 3 】

図 1 2 にインタレース映像信号の一形態例を示す。このようにインタレース映像においては、1 フレームの映像を走査線にオフセットをつけて、2 フィールドの画像として、2 枚に分けて 1 枚の画像（1 フレーム）を伝送している。図 1 2 では、L がある偶数の場合において、N フィールドで L ライン、L + 2 ライン、L + 4 ライン、L + 6 ライン、L + 8 ライン等の偶数番目のラインの信号が伝送され、続く N + 1 フィールドで、L + 1 ライン、L + 3 ライン、L + 5 ライン、L + 7 ライン等の奇数番目のラインの信号が伝送されている。さらに次の N + 2 フィールドで、N フィールドと同じ偶数番目のラインの信号が伝送されることを示している。

【 0 0 0 4 】

このようにインターレース映像は、N フィールドと N + 1 フィールドとの 2 フィールドに分けられて伝送され、これらの 2 フィールドの走査線によって 1 フレームの映像が表示されている。

【 0 0 0 5 】

このようなインタレース信号からプログレッシブ信号への変換は、各フィールドにおいて、伝送されていないラインの信号を時間的に前後のフィールド、または、現フィールドの信号（例えば上下のラインの信号）から生成して、伝送されるラインと生成されたラインの信号をあわせたプログレッシブ信号に変換することによって行う。ここでは、現フィールドで実際に送られているラインを現ラインと呼び、時間的に前後の複数のフィールドからまたは現フィールドの信号から生成されたラインを補間ラインと呼ぶ。

図 1 3 に従来の動き適応型プログレッシブ変換装置の一構成例を示す。図 1 3 の

J 1 および J 2 は 1 フィールド遅延回路、J 3 は動き検出回路、J 4 はフレーム補間回路、J 5 はフィールド補間回路、J 6 は切り換え回路である。入力された映像信号は、1 フィールド遅延回路 J 1、1 フィールド遅延回路 J 2 でそれぞれ 1 フィールドごとに遅延される。動き検出回路 J 3 では、時間的に 2 フィールド前または後のフィールド同士の間（以下、これをフレーム間と記す）の同一ライン上の対応する画素の比較が行われ、画素の値の差が小さい場合は静止画と判定し、また画素の値の差が大きい場合は動画と判定する。

フレーム補間回路 J 4 では、特定のフィールドと 2 フィールド隣のフィールドとの間、すなわちフレーム間の同一ライン上の対応する画素から静止画の補間ラインの画像信号を生成する。例えば、図 1 2 において、N + 1 フィールドの L + 4 ラインの画素 X を補間する場合は、N フィールドの L + 4 ラインの画素 A と N + 2 フィールドの L + 4 ラインの画素 B から、例えば「 $X = (A + B) / 2$ 」（A, B は画素の信号の明るさのレベルを示す）というような演算によって画素 X の値を生成する。

フィールド補間回路 J 5 では、同一フィールド内の上下ラインの画素から対応する画素を生成する。例えば、図 1 2 において、N + 1 フィールドの L + 4 ラインの画素 X を補間する場合は、N + 1 フィールドの L + 3 ラインの画素 C と N + 1 フィールドの L + 5 ラインの画素 D から、例えば「 $X = (C + D) / 2$ 」（C, D は画素の信号の明るさのレベルを示す）というような演算によって画素 X の値を生成する。

切り換え回路 J 6 は、1 フィールド遅延回路 J 1 の出力が現ラインである場合には、この現ライン信号を選択して出力し、1 フィールド遅延回路 J 1 の出力が補間ラインの場合には、フレーム補間回路 J 4 からの信号またはフィールド補間回路 J 5 からの信号を出力する。それは動き検出回路 J 3 の検出結果が「静止」と判断されたのであればフレーム補間回路 J 4 の生成信号を出力し、動き検出回路 J 3 の検出結果が「動き」と判断されたのであればフィールド補間回路 J 5 の生成信号を出力する。

このような構成の装置であれば、フレーム間で相関の大きい静止画像については、フレーム補間（時間的に 2 つ前または後のフィールドからなされる補間）によ

って生成されたプログレッシブ映像信号が出力され、一方、フレーム間で相関の小さい動画像については、フィールド補間によって生成されたプログレッシブ映像信号が出力される。従ってこの方法によれば、理論上は、画像の動きにほぼ合致した補間処理が可能となるはずである。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、従来例のような方法では、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときに正確な動き判定が出来ず、そのために静止画に適したフレーム補間処理と動画に適したフィールド補間処理がうまく行われず、画像が劣化する場合がある。

このような場合の例を以下に示す。図 1 4 に垂直方向に正弦波的に輝度が増加する画像を各ライン上でサンプルする場合のサンプル値の値を示すものであり、縦軸が明るさの度合いを、横軸がラインの番号を表している。図 1 4 は、インタレース信号に変換される前の正弦波的に輝度が増加する画像を示している。信号の輝度（明るさ）を表す数値として、最低の黒を「0」として、最大の白を「255」として表示している。

元となる映像の信号は、Lラインで「218」の値をとり、LラインとL+1ラインとの間で「255」の最大輝度を示し、L+1ラインで「218」に戻り、L+1ラインとL+2ラインの間で「128」をとり、L+2ラインで「37」となり、L+2ラインとL+3との間で最小輝度の「0」を示し、L+3ラインで「37」に戻り、L+3ラインとL+4ラインの間で「128」をとり、L+4ラインで「218」となっている。以下同様にL+5ライン以降も変化している。この画像がインタレースで伝送された場合は、図 1 5 のようになる。つまり、あるフィールドでは黒丸の値が伝送され、次のフィールドでは白丸の値が伝送される。

図 1 6 は、このような画像が、1フィールドごとに下ライン方向に1/2ライン動いたときの画像を重ねて書いたものである。すなわち、f1フィールドでは、Lラインとして明るさ「218」、L+2ラインとして「37」、L+4ラインとして「218」、L+6ラインとして「37」のそれぞれの明るさが伝送され

る。

続いて f 2 フィールドでは、元の波形が下ライン方向に 1 / 2 ライン動いているために、L + 1 ラインとして明るさ「255」、L + 3 ラインとして「0」、L + 5 ラインとして「255」、L + 7 ラインとして「0」が伝送される。以下、f 3 フィールド、f 4 フィールド、f 5 フィールド、f 6 フィールドとそれぞれ図のように画像の値が伝送される。このような各フィールドでのラインとサンプル値の関係を（表 1）で示す。

【0007】

【表1】

各フィールドでのラインとサンプル値の関係

(a) インタレースでサンプルされる前の信号の値

	f1	f2	f3	f4	f5	f6
L	218	128	37	0	37	128
L+1	218	255	218	128	37	0
L+2	37	128	218	255	218	128
L+3	37	0	37	128	218	255
L+4	218	128	37	0	37	128
L+5	218	255	218	128	37	0
L+6	37	128	218	255	218	128
L+7	37	0	37	128	218	255

(b) インタレースでサンプルされた後の信号の値

	f1	f2	f3	f4	f5	f6
L	218	-	37	-	37	-
L+1	-	255	-	128	-	0
L+2	37	-	218	-	218	-
L+3	-	0	-	128	-	255
L+4	218	-	37	-	37	-
L+5	-	255	-	128	-	0
L+6	37	-	218	-	218	-
L+7	-	0	-	128	-	255

【0008】

(表1(a))は、各フィールドでのラインごとのインタレースでサンプルされる前の信号の値を示し、(表1(b))はインタレースでサンプルされた後の信号の値を示している。このインタレースでサンプルされた後の信号が伝送され、このインターレース信号をうけた受信機側で補間信号処理されて伝送されないライン、すなわち(表1(b))の「-」欄の値が求めら、プログレッシブ映像信号に変換される。

【0009】

このような映像が図13に示す従来の動き適応型プログレッシブ変換装置で処理される場合の動作について説明する。従来の動き適応型プログレッシブ変換装置では、動き検出回路J3において時間的に2フィールド後(または前)のフィールドの信号との値の差によって動き量を判定し、その出力は切り換え回路J6へ送られ、切り換え回路J6ではその判定結果が「静止」であればフレーム補間回路J4の出力信号を出力し、また判定結果が「動き」であればフィールド補間回路J5の出力信号を出力する。

【0010】

まず、動き検出回路J3の動作を(表2(a))、(表2(b))を用いて説明する。

【0011】

【表 2】

## 動き検出回路の動作説明表

(a) 2フィールド間の値の差

	f1	f2	f3	f4	f5	f6
L		181	-	0	-	
L+1		-	128	-	128	
L+2		181	-	0	-	
L+3		-	128	-	128	
L+4		181	-	0	-	
L+5		-	128	-	128	
L+6		181	-	0	-	
L+7		-	128	-	128	

(b) 動き検出回路の判定結果

	f1	f2	f3	f4	f5	f6
L		動き	-	静止	-	
L+1		-	動き	-	動き	
L+2		動き	-	静止	-	
L+3		-	動き	-	動き	
L+4		動き	-	静止	-	
L+5		-	動き	-	動き	
L+6		動き	-	静止	-	
L+7		-	動き	-	動き	

【 0 0 1 2 】

(表 2 (a)) は、動き量を検出するために演算された 2 フィールド後 (または前) のフィールドの信号との明るさの差を示している。例えば f 2 フィールドの L ラインの値は、f 1 フィールドの L ラインの値「2 1 8」と f 3 フィールドの L ラインの値「3 7」の差をとり「1 8 1」となっている。同様に各フィールドの各ラインの値が演算されている。

【 0 0 1 3 】

(表 2 (b)) は、(表 2 (a)) の値をもとにして判定すべき画素の値が動画であるか、または静止画であるかを判定したものである。ここでは、動画と静止画の明るさの閾値を「2 0」として、閾値「2 0」以上の場合は動画と判定し、「1 9」以下の場合は静止画と判定した結果を示したものである。

【 0 0 1 4 】

次に、フレーム補間回路 J 4 とフィールド補間回路 J 5 の動作を説明する。

【 0 0 1 5 】



【表3】

補間回路の出力値

(a) フレーム補間回路の出力値

	f1	f2	f3	f4	f5	f6
L		128	-	37	-	
L+1		-	191	-	64	
L+2		128	-	128	-	
L+3		-	64	-	191	
L+4		128	-	37	-	
L+5		-	191	-	64	
L+6		128	-	218	-	
L+7		-	64	-	191	

(b) フィールド補間回路の出力値

	f1	f2	f3	f4	f5	f6
L						
L+1	128	-	128	-	128	-
L+2	-	128	-	128	-	128
L+3	128	-	128	-	128	-
L+4	-	128	-	128	-	128
L+5	128	-	128	-	128	-
L+6	-	128	-	128	-	128
L+7						

## 【0016】

(表3(a))はフレーム補間回路J4の出力値を示したものである。例えば、映像入力がf2フィールドのLラインにおいては、インターレースでは実際には伝送されておらず、フレーム間での補間信号処理により求められる。そこでフレーム補間回路J4でのf2フィールドのLラインの値は、(表1(b))のf1フィールドのLラインの値「218」とf3フィールドのLラインの値「37」から平均をとり、つまり「 $(218 + 37) / 2 = 128$ 」として計算されている。(表3(a))のその他の値も同様にしてフレーム間の値の平均として算出されている。

## 【0017】

一方、(表3(b))はフィールド補間回路の出力値を示したものである。例えばf1フィールドのL+1ラインの値をフィールド間での補間処理を行う場合、(表1(b))のf1フィールドのLラインの値「218」と同じf1フィールドのL+3ラインの値「37」から平均が求められ、「 $(218 + 37) / 2 = 128$ 」と計算されている。(表3(b))のその他の値も同様にして、フィールド内の上下ラインの値の平均として算出されている。

## 【0018】

次に、切り換え回路J6の動作を説明する。切り換え回路J6には、フレーム補間回路J4の出力信号と、フィールド補間回路J5の出力信号と、現ライン信号と、さらに動き検出回路J3の出力信号が入力されている。次の(表4)は、切り換え回路の補間ラインでの出力信号の値を示すものである。

## 【0019】

【表4】

切り換え回路の出力値、および、補間信号と原信号との差

(a) 補間ラインの切り換え回路の出力

	f1	f2	f3	f4	f5	f6
L						
L+1		-	128	-	128	
L+2		128	-	128	-	
L+3		-	128	-	128	
L+4		128	-	37	-	
L+5		-	128	-	128	
L+6		128	-	218	-	
L+7						

(b) 補間信号とインタレース前の原信号との差

	f1	f2	f3	f4	f5	f6
L						
L+1		-	90	-	90	
L+2		0	-	37	-	
L+3		-	90	-	90	
L+4		0	-	37	-	
L+5		-	90	-	90	
L+6		0	-	37	-	
L+7						

【 0 0 2 0 】

(表 4 (a)) は、(表 2 (b)) の動き検出回路 J 3 の判定結果によって、フレーム補間信号とフィールド補間信号を切り換えて出力した結果を示している。動き検出回路 J 3 による動き判定が「静止」の場合はフレーム補間回路 J 4 の信号を出力し、動き検出回路 J 3 による動き判定が「動き」の場合はフィールド補間回路 J 5 の信号を出力する。

【 0 0 2 1 】

(表 4 (a)) においてハッチングがなされている部分が「動き」と判定された部分である。なお、現ライン信号について(表 4 (a)) の「-」の箇所は、現ライン信号が出力されていることを示す。

【 0 0 2 2 】

(表 4 (b)) は、補間ラインで出力された信号の値と、(表 1 (a)) のインタレースされる前の原信号の値の差を示したものである。この(表 1 (a)) からわかるように f 3 フィールドや f 5 フィールドにおいて、その明るさの差が「90」と非常に大きくなってことが判る。これらの信号の最大値が「255」であるのに対して、「90」という値は非常に大きく、プログレッシブ変換された映像信号を見ても大きなノイズをなってしまう、顕著な画質劣化のとして認識される。

【 0 0 2 3 】

このように従来の動き適応型プログレッシブ変換装置では、画像がゆっくりとライン方向に動いたときには動画処理となりやすく、画質が劣化しやすいという課題があった。

【 0 0 2 4 】

本発明は、上記のような、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときのなどにおいても、正確な動き判定を行い、安定で解像度の高い動画像を提供することを目的とする。

【 0 0 2 5 】

【課題を解決するための手段】

(1) 第 1 の発明

第 1 の発明に係る画像変換装置は、入力された連続する複数のインタレース画像フィールド信号から第 1 のプログレッシブ画像フィールド信号を生成する第 1 のプログレッシブ画像生成手段と、前記入力された連続する複数のインタレース画像フィールド信号から第 2 のプログレッシブ画像フィールド信号を生成する第 2 のプログレッシブ画像生成手段を有し、さらに前記第 1 のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第 3 のプログレッシブ画像フィールド信号を形成する第 1 の画素形成手段と、前記第 2 のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第 4 のプログレッシブ画像フィールド信号を形成する第 2 の画素形成手段との、少なくともどちらか一方の画素形成手段を有し、前記第 2 のプログレッシブ画像フィールド信号と前記第 3 のプログレッシブ画像フィールド信号、または、前記第 1 のプログレッシブ画像フィールド信号と前記第 4 のプログレッシブ画像フィールド信号、または、前記第 3 のプログレッシブ画像フィールド信号と前記第 4 のプログレッシブ画像フィールド信号の対応する画素間、および、または、対応する画素とその周辺の画素の値を比較し、その比較結果から動き量を演算して出力する比較手段と、前記入力されたインタレース画像フィールド信号から静止画処理によって静止画プログレッシブ画像フィールド信号を生成する静止画処理手段と、前記入力されたインタレース画像フィールド信号から動画処理によって動画プログレッシブ画像フィールド信号を生成する動画処理手段と、前記比較手段が演算した動き量によって、前記静止画処理手段が出力する静止画プログレッシブ画像フィールド信号と前記動画処理手段が出力する動画プログレッシブ画像フィールド信号とを割合を変えて出力する出力手段を備えるものである。

第 1 の発明に係る画像変換装置においては、第 1 のプログレッシブ画像フィールド信号と第 2 のプログレッシブ画像フィールド信号から、新たに画素が形成された、より解像度が高いプログレッシブ画像フィールド信号を用いて、比較手段が動き量の演算を行うことができるので、より精度の高い動き検出が可能になり、画質劣化の少ない、解像度の高い映像プログレッシブ画像フィールド信号を生成することが可能となる。その結果、正確な動き検出を行うことができ、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときなどにおいても、正確な動き

判定をすることができ、安定で解像度の高い映像を提供することが出来る。

(2) 第2の発明

第2の発明に係る画像変換装置は、第1の発明に係る画像変換装置の構成において、前記第1の画素形成手段は、前記第1のプロGRESSIVE画像フィールド信号のライン間に新たに画素を形成し、前記第2の画素形成手段は、前記第2のプロGRESSIVE画像フィールド信号のライン間に新たに画素を形成するものである。この場合、インタレース信号をプロGRESSIVE画像信号に変換する際により厳しい変換精度を要求される垂直方向に対しての精度を上げることができ、水平方向への新たに画素を生成する回路を省略できるので、回路規模の増大を低く抑えることができ、低コストに高精度の画像変換装置を提供することが可能となる。

(3) 第3の発明

第3の発明に係る画像変換装置は、第2の発明に係る画像変換装置の構成において、切り換え手段は、比較手段が出力する動き量が、第1または第2のプロGRESSIVE画像フィールド信号に対して、1ライン以下である場合、静止画像の割合を多くして出力するものである。

この場合、動きの大きい映像に対しての誤動作を防止することができ、画質劣化の少ないプロGRESSIVE画像フィールド信号を生成することが可能となる。

(4) 第4の発明

第4の発明に係る画像変換装置は、第2の発明に係る画像変換装置の構成において、切り換え手段は、比較手段が出力する動き量が、第1または第2のプロGRESSIVE画像フィールド信号に対して、0.75ライン以下である場合、静止画像の割合を多くして出力することを特徴とするものである。

この場合、動きの少し大きい映像に対しての誤動作を防止することができ、より画質劣化の少ないプロGRESSIVE画像フィールド信号を生成することが可能となる。

(5) 第5の発明

第5の発明に係る画像変換装置は、第2の発明に係る画像変換装置の構成において、切り換え手段は、比較手段が出力する動き量が、第1または前記第2のプロGRESSIVE画像フィールド信号に対して、0.5ライン以下である場合、静止画

像の割合を多くして出力するものである。

この場合、動きの小さい映像に対しても誤動作を防止することができ、より画質劣化の少ないプログレッシブ画像フィールド信号を生成することが可能となる。

(6) 第6の発明

第6の発明にかかる画像変換装置は、第1から第5の発明にかかる画像変換装置の構成において、第1から第4までの4つのインタレース画像フィールド信号を入力し、前記第1のプログレッシブ画像生成手段は、第1から第3の3つのインタレース画像フィールド信号から第1のプログレッシブ画像フィールド信号を生成し、前記第2のプログレッシブ画像生成手段は、第2から第4の3つのインタレース画像フィールド信号から第2のプログレッシブ画像フィールド信号を生成するものである。

【0026】

第3の発明にかかる画像変換装置においては、第1から第3の3つのインタレース画像フィールド信号から第1のプログレッシブ画像フィールド信号を生成し、第2から第4までの3つのインタレース画像フィールド信号から第2のプログレッシブ画像フィールド信号を生成し、この第1のプログレッシブ画像フィールド信号と第2のプログレッシブ画像フィールド信号とを比較し、その比較結果を動き量として出力することが出来るので、第1の発明よりもさらに正確な動き検出を行うことができ、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときのなどにおいても、正確な動き判定をすることができ、安定で解像度の高い映像を提供することが出来る。

(7) 第7の発明

第7の発明に係る画像変換装置は、第1から第6の発明に係る画像変換装置の構成において、非適用領域検出手段を設け、出力手段は、比較手段の比較結果と非適用領域検出手段の検出結果によって、静止画処理手段が出力する静止画プログレッシブ画像フィールド信号と動画処理手段が出力する動画プログレッシブ画像フィールド信号との割合を変えて出力するものである。

この場合、連続したカメラのフラッシュ等が含まれる映像に対しても、誤って静止画像としないようにすることができ、より精度の高い画像変換装置を提供する

ことが出来る。

(8) 第8の発明

第8の発明に係る画像変換装置は、第7の発明に係る画像変換装置の構成において、非適用領域検出手段は、インタレース画像フィールドのフィールド間の画像信号の対応する画素を含む周辺の画素の信号の値の平均値により検出するものである。

この場合、連続したカメラのフラッシュ等が含まれた場合、フィールド間の平均値の差として検出することができ、比較的少ない回路規模で、より精度の高い画像変換装置を提供することが出来る。

(9) 第9の発明

第9の発明に係る画像変換方法は、入力された連続する複数のインタレース画像フィールド信号から第1のプログレッシブ画像フィールド信号を生成する第1のプログレッシブ画像生成ステップと、前記入力された連続する複数のインタレース画像フィールド信号から第2のプログレッシブ画像フィールド信号を生成する第2のプログレッシブ画像生成ステップを有し、さらに前記第1のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第3のプログレッシブ画像フィールド信号を形成する第1の画素形成ステップと、前記第2のプログレッシブ画像フィールド信号の画素間に新たに画素を形成し第4のプログレッシブ画像フィールド信号を形成する第2の画素形成ステップとの、少なくともどちらか一方の画素形成ステップを有し、前記第2のプログレッシブ画像フィールド信号と前記第3のプログレッシブ画像フィールド信号、または、前記第1のプログレッシブ画像フィールド信号と前記第4のプログレッシブ画像フィールド信号、または、前記第3のプログレッシブ画像フィールド信号と前記第4のプログレッシブ画像フィールド信号の対応する画素間、および、または、対応する画素とその周辺の画素の値を比較し、その比較結果から動き量を演算して出力する比較ステップと、前記入力されたインタレース画像フィールド信号から静止画処理によって静止画プログレッシブ画像フィールド信号を生成する静止画処理ステップと、前記入力されたインタレース画像フィールド信号から動画処理によって動画プログレッシブ画像フィールド信号を生成する動画処理ステップと、前記比較ステ



ップが演算した動き量によって、前記静止画処理ステップが出力する静止画プログレッシブ画像フィールド信号と前記動画処理ステップが出力する動画プログレッシブ画像フィールド信号とを割合を変えて出力する出力ステップを備えるものである。

第9の発明に係る画像変換方法においては、第1のプログレッシブ画像フィールド信号と第2のプログレッシブ画像フィールド信号から、新たに画素が形成された、より解像度が高いプログレッシブ画像フィールド信号を用いて、比較ステップが動き量の演算を行うことができるので、より精度の高い動き検出が可能になり、画質劣化の少ない、解像度の高い映像プログレッシブ画像フィールド信号を生成することが可能となる。その結果、正確な動き検出を行うことができ、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときのなどにおいても、正確な動き判定をすることができ、安定で解像度の高い映像を提供することが出来る。

#### (10) 第10の発明

第10の発明に係る画像変換方法は、第9の発明に係る画像変換方法の構成において、前記第1の画素形成ステップは、前記第1のプログレッシブ画像フィールド信号のライン間に新たに画素を形成し、前記第2の画素形成ステップは、前記第2のプログレッシブ画像フィールド信号のライン間に新たに画素を形成するものである。

この場合、インタレース信号をプログレッシブ画像信号に変換する際により厳しい変換精度を要求される垂直方向に対しての精度を上げることができ、水平方向への新たに画素を生成する回路を省略できるので、回路規模の増大を低く抑えることができ、低コストに高精度の画像変換方法を提供することが可能となる。

#### (11) 第11の発明

第11の発明に係る画像変換方法は、第10の発明に係る画像変換方法の構成において、切り換えステップは、比較ステップが出力する動き量が、第1または第2のプログレッシブ画像フィールド信号に対して、1ライン以下である場合、静止画像の割合を多くして出力するものである。

この場合、動きの大きい映像に対しての誤動作を防止することができ、画質劣化の少ないプログレッシブ画像フィールド信号を生成することが可能となる。

(12) 第12の発明

第12の発明に係る画像変換方法は、第10の発明に係る画像変換方法の構成において、切り換えステップは、比較ステップが出力する動き量が、第1または第2のプログレッシブ画像フィールド信号に対して、0.75ライン以下である場合、静止画像の割合を多くして出力することを特徴とするものである。

この場合、動きの少し大きい映像に対しての誤動作を防止することができ、より画質劣化の少ないプログレッシブ画像フィールド信号を生成することが可能となる。

(13) 第13の発明

第13の発明に係る画像変換方法は、第10の発明に係る画像変換方法の構成において、切り換えステップは、比較ステップが出力する動き量が、第1または前記第2のプログレッシブ画像フィールド信号に対して、0.5ライン以下である場合、静止画像の割合を多くして出力するものである。

この場合、動きの小さい映像に対しても誤動作を防止することができ、より画質劣化の少ないプログレッシブ画像フィールド信号を生成することが可能となる。

(14) 第14の発明

第14の発明にかかる画像変換方法は、第9から第13の発明にかかる画像変換方法の構成において、第1から第4までの4つのインタレース画像フィールド信号を入力し、前記第1のプログレッシブ画像生成ステップは、第1から第3の3つのインタレース画像フィールド信号から第1のプログレッシブ画像フィールド信号を生成し、前記第2のプログレッシブ画像生成ステップは、第2から第4の3つのインタレース画像フィールド信号から第2のプログレッシブ画像フィールド信号を生成するものである。

【0027】

第14の発明にかかる画像変換方法においては、第1から第3の3つのインタレース画像フィールド信号から第1のプログレッシブ画像フィールド信号を生成し、第2から第4までの3つのインタレース画像フィールド信号から第2のプログレッシブ画像フィールド信号を生成し、この第1のプログレッシブ画像フィールド信号と第2のプログレッシブ画像フィールド信号とを比較し、その比較結果

を動き量として出力することが出来るので、さらに正確な動き検出を行うことができ、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときのなどにおいても、正確な動き判定をすることができ、安定で解像度の高い映像を提供することが出来る。

(15) 第15の発明

第15の発明に係る画像変換方法は、第9から第14の発明に係る画像変換方法の構成において、非適用領域検出ステップを設け、出力ステップは、比較ステップの比較結果と非適用領域検出ステップの検出結果によって、静止画処理ステップが出力する静止画プログレッシブ画像フィールド信号と動画処理ステップが出力する動画プログレッシブ画像フィールド信号との割合を変えて出力するものである。

この場合、連続したカメラのフラッシュ等が含まれる映像に対しても、誤って静止画像としないようにすることができ、より精度の高い画像変換方法を提供することが出来る。

(16) 第16の発明

第16の発明に係る画像変換方法は、第15の発明に係る画像変換方法の構成において、非適用領域検出ステップは、インタレース画像フィールドのフィールド間の画像信号の対応する画素を含む周辺の画素の信号の値の平均値により検出するものである。

この場合、連続したカメラのフラッシュ等が含まれた場合、フィールド間の平均値の差として検出することができ、比較的少ない回路規模で、より精度の高い画像変換方法を提供することが出来る。

【0028】

【発明の実施の形態】

以下、本発明に係る画像変換装置の一例について説明する。なお、以下の説明では、映像信号を輝度信号に対応させて説明するが、色信号に対しても同様の処理を行うこともできる。また、この例に限らず、カラー表示を行う場合にも各色ごとに以下と同様に処理することにより、RGB信号に対しても同様の効果を得ることが出来るものである。

## (実施の形態 1)

図 1 は、本発明の第 1 の実施の形態による画像変換装置のブロック図である。図 1 に示す画像変換装置は、第 1 の 1 フィールド遅延回路 1、第 2 の 1 フィールド遅延回路 2、第 3 の 1 フィールド遅延回路 3、第 1 のプログレッシブ画像生成回路 4、第 2 のプログレッシブ画像生成回路 5、比較回路 6、フレーム補間回路 7、フィールド補間回路 8、出力回路 9 を備える。また、図示していないが、入力された映像信号の同期信号、またはそれに対応する信号を受けてこれらの各ブロックに必要なタイミング信号を発生するタイミング発生回路を備えている。

上記のように構成された本発明の画像変換装置の動作について以下に説明する。

まず、インタレース映像信号入力は、連続して接続された第 1 の 1 フィールド遅延回路 1、第 2 の 1 フィールド遅延回路 2 および第 3 の 1 フィールド遅延回路 3 によって順々に遅延され、各フィールド遅延回路のそれぞれの出力が、1 フィールド遅れの映像信号 a と、2 フィールド遅れの映像信号 b と、3 フィールド遅れの映像信号 c のそれぞれが生成される。インタレース映像入力信号とこれらの各 1 フィールド遅延回路から出力された 3 つの映像信号 a、映像信号 b、映像信号 c とを合わせて全部で連続した 4 つのインタレース映像信号が生成される。

これらの 4 つのインタレース映像信号のそれぞれは、第 1 のオッドフィールド信号と第 1 のイーブンフィールド信号と第 2 のオッドフィールド信号と第 2 のイーブンフィールド信号によって構成されるか、または、第 1 のイーブンフィールド信号と第 1 のオッドフィールド信号と第 2 のイーブンフィールド信号と第 2 のオッドフィールド信号によって構成されることになる。なお、インタレース映像信号は 2 フィールドで画面の全走査線を構成するので、ここではその一方のフィールドをオッドフィールドと呼び、他方をイーブンフィールドと呼んでいる。

これらの 4 つのインタレース映像信号のうち 3 フィールド遅延された映像信号 c と 2 フィールド遅延された映像信号 b と 1 フィールド遅延された映像信号 a が第 1 のプログレッシブ画像生成回路 4 に入力され、第 1 のプログレッシブ画像生成回路 4 で第 1 のプログレッシブ画像が生成される。また、4 つのインタレース映像信号のうち 2 フィールド遅延された映像信号 b と 1 フィールド遅延された映像信号 c と入力されたインターレース映像信号とが第 2 のプログレッシブ画像生成

回路5に入力され、プログレッシブ画像生成回路5で第2のプログレッシブ画像が生成される。

比較回路6では、第1のプログレッシブ画像生成回路4が生成した第1のプログレッシブ画像と第2のプログレッシブ画像生成回路5が生成した第2のプログレッシブ画像が入力され、第1のプログレッシブ画像と第2のプログレッシブ画像とを比較して、動き量情報Mを演算する。

また、2フィールド遅延された映像信号bと入力されたインタレース映像信号がフレーム補間回路7に入力される。フレーム補間回路7は時間的に2フィールド前後のフィールド間で補間処理するフレーム補間によってプログレッシブ画像を生成する。

【0029】

また、1フィールド遅延された映像信号aはフィールド補間回路8に入力される。フィールド補間回路8では、1フィールド遅延された映像信号aからフィールド補間によってプログレッシブ映像信号を生成する。

出力回路9には、比較回路6が出力した動き量情報Mと、第1の1フィールド遅延回路1の出力のインタレース画像aと、フレーム補間回路7が出力したフレーム補間によるプログレッシブ画像と、フィールド補間回路8が出力したフィールド補間によるプログレッシブ画像とが入力される。

出力回路9は比較回路6が出力した動き量情報Mを示す信号に応じて、フレーム補間回路7が出力したフレーム補間によるプログレッシブ画像とフィールド補間回路8が出力したフィールド補間によるプログレッシブ画像とを画素ごとに割合を変えて出力する。割合の制御は動き量情報Mが小さいほど静止の確率が高くなるので、フレーム補間によるプログレッシブ画像の割合が多くなるように制御を行う。ここでは、フレーム補間による信号処理が静止画に適した静止画処理にあたり、一方、フィールド補間による信号処理が動画に適した動画処理にあたる。すなわちフレーム補間回路7の処理が静止画処理手段に相当し、フィールド補間回路8の処理が動画処理手段に相当する。

【0030】

本実施の形態の構成によれば、連続した第1から第3の3つのインタレース画

像フィールド信号から第1のプログレッシブ画像フィールド信号を生成し、連続した第2から第4までの3つのインタレース画像フィールド信号から第2のプログレッシブ画像フィールド信号を生成し、この第1のプログレッシブ画像フィールド信号と第2のプログレッシブ画像フィールド信号とを比較し、その比較結果を動き量情報Mとして出力することが出来るので、正確な動き検出を行うことができ、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときなどにおいても、正確な動き判定をすることができ、安定で解像度の高い映像を提供することが出来る。

以下に本発明の効果を、従来例で画質劣化が生じた図14示す垂直方向に正弦波的に輝度に変化する画像が図16に示すように垂直方向にゆっくり動いたときの動作の例を用いて説明する。

【0031】

各フィールドでのインタレースでサンプルされる前の信号の値とインタレースでサンプルされた後の信号の値は（表5（a））、（表5（b））のように従来例と同様に示される。ここでは、f1フィールドからf9フィールドまでの9フィールド分を表に示している。

【0032】

【表 5】

各フィールドでのラインとサンプル値の関係

(a) インタレースでサンプルされる前の信号の値

	f1	f2	f3	f4	f5	f6	f7	f8	f9
L	218	128	37	0	37	128	218	255	218
L+1	218	255	218	128	37	0	37	128	218
L+2	37	128	218	255	218	128	37	0	37
L+3	37	0	37	128	218	255	218	128	37
L+4	218	128	37	0	37	128	218	255	218
L+5	218	255	218	128	37	0	37	128	218
L+6	37	128	218	255	218	128	37	0	37
L+7	37	0	37	128	218	255	218	128	37

(b) インタレースでサンプルされた後の信号の値

	f1	f2	f3	f4	f5	f6	f7	f8	f9
L	218	-	37	-	37	-	218	-	218
L+1	-	255	-	128	-	0	-	128	-
L+2	37	-	218	-	218	-	37	-	37
L+3	-	0	-	128	-	255	-	128	-
L+4	218	-	37	-	37	-	218	-	218
L+5	-	255	-	128	-	0	-	128	-
L+6	37	-	218	-	218	-	37	-	37
L+7	-	0	-	128	-	255	-	128	-

## 【 0 0 3 3 】

この（表 5）には、インターレースでサンプリングされる前の信号の各フィールドの各ラインの輝度に相当する値を（表 5（a））に、サンプリングされた時の信号の値を（表 5（b））に表示されている。一般的に（表 5（b））に示す信号がフィールド毎に順番に伝送されている。図 1 においても（表 5（b））に示されるインターレース画像信号が、フィールド毎に順番に図 1 のインターレース映像入力として入力される。

これらのインターレース映像信号は第 1 の 1 フィールド遅延回路 1、第 2 の 1 フィールド遅延回路 2、そして第 3 の 1 フィールド遅延回路 3 に順に入力される。

このようにインターレース映像信号が入力されたとき、第 1 のプログレッシブ画像生成回路 4 と第 2 のプログレッシブ画像生成回路 5 においてそれぞれが補間処理によりプログレッシブ画像を生成する。その動作を以下に詳しく説明する。

図 2 に第 1 のプログレッシブ画像生成回路 4 と第 2 のプログレッシブ画像生成回路 5 の内部の構成例を示す。第 2 のプログレッシブ画像生成回路 5 では、入力 5 0 1 には図 1 のインターレース映像入力が入力され、入力 5 0 2 には第 1 の 1 フィールド遅延回路 1 の出力 a が入力され、入力 5 0 3 には第 2 の 1 フィールド遅延回路 2 の出力が入力される。

また第 1 のプログレッシブ画像生成回路 4 では、入力 4 0 1 には図 1 の第 1 の 1 フィールド遅延回路 1 の出力 a が入力され、入力 4 0 2 には第 2 の 1 フィールド遅延回路 2 の出力 b が入力され、入力 4 0 3 には第 3 の 1 フィールド遅延回路 3 の出力 c が入力される。

4 0 4、4 0 5、4 0 6、4 0 7、4 0 8、5 0 4、5 0 5、5 0 6、5 0 7、5 0 8 は 1 クロックの遅延回路であり、4 0 9、4 1 0、4 1 1、4 1 2、4 1 3、4 1 4、5 0 9、5 1 0、5 1 1、5 1 2、5 1 3、5 1 4 は乗算回路であり、これらの乗算回路 4 0 9、乗算回路 4 1 1、乗算回路 4 1 2、乗算回路 4 1 4、または乗算回路 5 0 9、乗算回路 5 1 1、乗算回路 5 1 2、乗算回路 5 1 4 ではそれぞれ  $1/8$  の乗算が行われ、乗算回路 4 1 0、乗算回路 4 1 3、また乗算回路 5 1 0、乗算回路 5 1 3 では  $1/4$  の乗算が行われる。

また、4 1 5 は加算回路であり、乗算回路 4 0 9 から乗算回路 4 1 4 の出力が加



算される。同様に 5 1 5 も加算回路であり、乗算回路 5 0 9 から乗算回路 5 1 4 の出力が加算される。

このような構成により、第 1 のプログレッシブ画像生成回路 4 では、入力 4 0 1 に入力された第 1 の 1 フィールド遅延回路 1 の出力信号 a と、入力 4 0 3 に入力された第 3 の 1 フィールド遅延回路 3 の出力信号 c とがそれぞれ水平方向にフィルタリングされた後に平均化されて、加算器 4 1 5 に出力される。

4 1 6 は切り換え回路であり、タイミング発生回路（図示せず）からの信号 4 1 7 に基づいて、第 2 の 1 フィールド遅延回路 2 の出力信号 b が現ラインの信号であれば 1 クロック遅延回路 4 0 6 の出力信号 b を出力し、また第 2 の 1 フィールド遅延回路 2 の出力信号 b が補間ラインの信号であれば加算回路 4 1 5 の出力信号を出力する。

また同様に第 2 のプログレッシブ画像生成回路 5 では、入力 5 0 1 に入力されたインタレース映像信号と入力 5 0 3 に入力された第 2 の 1 フィールド遅延回路 2 の出力信号 b とがそれぞれ水平方向にフィルタリングされた後に平均化されて、加算器 5 1 5 に出力される。

5 1 6 は切り換え回路であり、タイミング発生回路（図示せず）からの信号 5 1 7 に基づいて、第 1 の 1 フィールド遅延回路 1 の出力信号 a が現ラインの信号であれば 1 クロック遅延回路 5 0 6 の出力信号を出力し、また第 1 の 1 フィールド遅延回路 1 の出力信号 a が補間ラインの信号であれば加算回路 5 1 5 の出力信号を出力する。

ここで、入力されたインタレース映像信号、第 1 の 1 フィールド遅延回路 1 の出力信号 a、第 2 の 1 フィールド遅延回路 2 の出力信号 b、第 3 の 1 フィールド遅延回路 3 の出力信号 c が連続する 4 つのインタレース信号に相当し、第 1 のプログレッシブ画像生成回路 4 が第 1 のプログレッシブ画像生成手段、第 2 のプログレッシブ画像生成回路 5 が第 2 のプログレッシブ画像生成手段にそれぞれ相当する。

また、第 1 のプログレッシブ画像生成回路 4、第 2 のプログレッシブ画像生成回路 5 の内部で行われている、入力 4 0 1、入力 4 0 3 または入力 5 0 1、入力 5 0 3 の入力に対するフィルタ処理（フィルタリング）および加算処理が、補間ラ

インに対する第1のインタレース画像フィールドおよび第3のインタレース画像フィールドの対応する画素とその周辺の画素の演算、または、第2のインタレース画像フィールドおよび第4のインタレース画像フィールドの対応する画素とその周辺の画素の演算に相当し、特にこの場合、平均値を算出している。平均値においては複雑な演算を簡略化することができ回路の規模を削減することができるが、これに限らなくてもよい。例えば、フィールド間の重みの大小を考慮して、各フィールドの寄与する大きさを変えて補間処理を行うことも可能である。

(表6(a))、(表6(b))は、このような動作によって、第1のプロGRESSIVE画像生成回路4と第2のプロGRESSIVE画像生成回路5の出力をそれぞれ表にしたものである。

【 0 0 3 4 】

【表6】

プログレッシブ画像生成回路の出力

(a) プログレッシブ画像生成回路4の出力例

	f3	f4	f5	f6	f7	f8	f9
L	218	128	37	37	37	128	218
L+1	-	255	191	128	64	0	64
L+2	37	128	218	218	218	128	37
L+3	-	0	64	128	191	255	191
L+4	218	128	37	37	37	128	218
L+5	-	255	191	128	64	0	64
L+6	37	128	218	218	218	128	37
L+7	-	0	64	128	191	255	191

(b) プログレッシブ画像生成回路5の出力例

	f3	f4	f5	f6	f7	f8	f9
L	128	37	37	37	128	218	218
L+1	255	191	128	64	0	64	128
L+2	128	218	218	218	128	37	37
L+3	0	64	128	191	255	191	128
L+4	128	37	37	37	128	218	218
L+5	255	191	128	64	0	64	128
L+6	128	218	218	218	128	37	37
L+7	0	64	128	191	255	191	191

## 【 0 0 3 5 】

(表 6 (a))、(表 6 (b)) において、ハッチングの部分が補間ラインとして演算によって求められた部分である。また、この演算の例については、水平方向に同じ値の信号が続いているとして、水平方向の影響はないものとしている。もちろん実際の装置については水平方向のフィルタ演算を行うことによってノイズ等の影響を低減できる。

(表 6 (a)) の f 4 フィールドの L ラインの値は、以下のようにして算出される。例えばインターレース映像入力に f 4 フィールドが入力された場合を説明する。(表 5 (b)) から f 4 フィールドの L ラインは伝送されていないので、補間処理を行う必要がある。インターレース映像入力に f 4 フィールドが入力されたときには、第 3 の 1 フィールド遅延回路 3 からは f 1 フィールドの信号が出力され、第 2 の 1 フィールド遅延回路 2 からは f 2 フィールドの信号が出力され、第 1 の 1 フィールド遅延回路 1 からは f 3 フィールドの信号が出力されている。このとき、第 1 のプログレッシブ画像生成回路 4 の補間ラインは、第 3 の 1 フィールド遅延回路 3 から出力される f 1 フィールドと第 1 の 1 フィールド遅延回路 1 の f 3 フィールドのそれぞれの現ライン、すなわち L ラインの値から演算される。この場合は平均値 (または平均値に近い値) が演算される。従って、(表 5 (a)) より f 1 フィールドの L ラインの値「218」と f 3 フィールドの L ラインの値「37」であるから、 $(218 + 37) / 2 = 127.5$  として平均値が求められ、その近傍の整数値のして四捨五入により f 4 フィールドの L ラインは「128」となる。同様に、それぞれの補間ラインの信号が求められる。尚、(表 6 (a)) において「-」と記された欄は (表 5 (b)) だけでは補間処理ができないのでその値の表示を省略している。

また、(表 6 (b)) の f 3 フィールドの L ラインの値は、以下のようにして算出される。インターレース映像入力に f 3 フィールドが入力されたときには、第 2 の 1 フィールド遅延回路 2 からは f 1 フィールドが出力され、第 1 の 1 フィールド遅延回路 1 からは f 2 フィールドが出力されている。

このとき、第 2 のプログレッシブ画像生成回路 5 の補間ラインは、第 2 の 1 フィールド遅延回路 2 の出力の f 1 フィールドとインターレース映像入力の信号であ

る f 3 フィールドのそれぞれの現ラインの値から演算される。この場合は平均値（または平均値に近い値）が演算される。従って（表 5（a））より f 1 フィールドの L ラインの値「2 1 8」と f 3 フィールドの L ラインの値「3 7」であるから、「 $(218 + 37) / 2 = 127.5$ 」として平均値が求められ、その近傍の整数値のとして四捨五入により f 4 フィールドの L ラインは「1 2 8」となる。同様に、それぞれの補間ラインの信号が求められる。

次に、比較回路 6 の動作について詳しく説明する。図 3 に比較回路 6 の内部の構成例を示す。

比較回路 6 の入力 6 0 1 には第 2 のプログレッシブ画像生成回路 5 の出力が入力され、入力 6 0 2 には第 1 のプログレッシブ画像生成回路 4 の出力が入力される。また 6 0 3、6 0 4、6 0 5 は 1 ライン遅延回路である。

入力 6 0 1 に入力された第 2 のプログレッシブ画像生成回路 5 からの信号は 1 ライン遅延回路 6 0 3 に入力され、入力 6 0 2 に入力された第 1 のプログレッシブ画像生成回路 4 からの信号は 1 ライン遅延回路 6 0 4 に入力され、この 1 ライン遅延回路 6 0 4 の出力は 1 ライン遅延回路 6 0 5 に入力される。

6 0 6、6 0 7、6 0 8 は乗算回路であり、乗算回路 6 0 6 は 1 ライン遅延回路 6 0 5 の出力を  $1/2$  倍して出力し、乗算回路 6 0 7 は 1 ライン遅延回路 6 0 4 の出力を  $1/2$  倍して出力し、乗算回路 6 0 8 は入力 6 0 2 の入力信号を  $1/2$  倍して出力する。

6 0 9、6 1 0 は加算回路であり、加算回路 6 0 9 は乗算回路 6 0 6、乗算回路 6 0 7 の出力を加算し、加算回路 6 1 0 は乗算回路 6 0 7、乗算回路 6 0 8 の出力を加算する。

6 1 1、6 1 2、6 1 3 は減算回路であり、減算回路 6 1 1 は 1 ライン遅延回路 6 0 3 の出力と加算回路 6 0 9 の出力を減算した値を求め、その値の絶対値を出力する。減算回路 6 1 2 は 1 ライン遅延回路 6 0 3 の出力と 1 ライン遅延回路 6 0 4 の出力を減算した値を求め、その値の絶対値を出力する。減算回路 6 1 3 は 1 ライン遅延回路 6 0 3 の出力と加算回路 6 1 0 の出力を減算した値を求め、その値の絶対値を出力する。

6 1 4 は最小値選択回路であり、減算回路 6 1 1、減算回路 6 1 2、減算回路 6

1 3 の出力の最小値を選択する。最小値選択回路 6 1 4 の出力は、比較回路 6 の出力として出力 6.1 5 から出力される。

この比較の動作は、入力 6 0 1 に第 2 のプログレッシブ画像生成回路 5 からの補間ラインが入力されたときに、入力 6 0 2 に入力された第 1 のプログレッシブ画像生成回路 4 の対応する画素との間で行われる。すなわち、この動作は、第 1 のプログレッシブ画像フィールド信号と第 2 のプログレッシブ画像フィールド信号の対応する画素間、および、対応する画素とその周辺の画素の値を画素ごとに比較し、その比較結果を動き量情報 M として出力することに相当している。

この比較演算の結果を（表 7（a））に示す。なお（表 7）において、縦のラインの欄のおよび横のフィールドの欄は第 1 の 1 フィールド遅延回路 1 から出力される信号 a のタイミングである。

【 0 0 3 6 】

【表7】

比較演算の結果

(a) 減算回路611, 612, 613 の出力

	f3	f4	f5	f6	f7	f8	f9
L	-		-		-		-
L+1		0 64 0		19 64 109		0 64 0	
L+2	-		13 0 77		13 90 77		19 64 109
L+3		0 64 0		19 64 109		0 64 0	
L+4	-		13 0 77		13 90 77		19 64 109
L+5		0 64 0		19 64 109		0 64 0	
L+6	-		13 0 77		13 90 77		19 64 109
L+7		-		-		-	

(b) 比較回路の出力M／出力 $\alpha$

	f3	f4	f5	f6	f7	f8	f9
L	-		-		-		-
L+1		0 (0.0)		19 (0.2)		0 (0.0)	
L+2	-		0 (0.0)		13 (0.2)		19 (0.2)
L+3		0 (0.0)		19 (0.2)		0 (0.0)	
L+4	-		0 (0.0)		13 (0.2)		19 (0.2)
L+5		0 (0.0)		19 (0.2)		0 (0.0)	
L+6	-		0 (0.0)		13 (0.2)		19 (0.2)
L+7		-		-		-	

## 【0037】

例えば、f4フィールドのL+2ラインが比較回路6に入力される時の演算は下記ようになる。この場合の減算回路611には、第2のプログレッシブ画像生成回路5のf4フィールドのL+1ラインの画素の値である「191」が入力される。また第1のプログレッシブ画像生成回路4のf4フィールドのLラインの画素の値である「128」とL+1ラインの値である「255」の平均値「191.5」が乗算回路607、乗算回路60および加算回路610から求められ、その近傍の整数値「191」が減算回路611に入力されており、第2のプログレッシブ画像生成回路5のf4フィールドのL+1ラインの画素の値である「191」との減算結果として「0」が出力される。

また、減算回路612には、第2のプログレッシブ画像生成回路5のf4フィールドのL+1ラインの画素の値である「191」が入力される。また第1のプログレッシブ画像生成回路4のf4フィールドのL+1ラインの画素の値である「255」が減算回路612にも入力されており、第2のプログレッシブ画像生成回路5のf4フィールドのL+1ラインの画素の値である「191」との減算結果として「64」が出力される。

また、減算回路613には、第2のプログレッシブ画像生成回路5のf4フィールドのL+1ラインの画素の値である「191」と、第1のプログレッシブ画像生成回路4のf4フィールドのL+1ラインの画素の値である「255」とL+2の値である「121」との平均値「191」が入力されており、減算結果として「0」が出力される。

この3つの演算結果を(表7(a))のf4フィールドのL+1ラインの欄に「0」、「64」、「0」として記載している。同様に(表7(a))のハッチングのある補間ラインの欄には、減算回路611、減算回路612、減算回路613からの演算結果の値を表示している。

(表7(b))はこの減算回路611、減算回路612、減算回路613からの出力の最小値を取った結果を示している。例えば、f4フィールドのL+2ラインでは、減算回路611、減算回路612、減算回路613からの出力である「0」、「64」、「0」のなかの最小値である「0」が選択されて表示されてい



る。

このように比較回路 6 の動作として上述したような演算の例を示したが、比較回路 6 の演算は上記に限定されるものではなく、例えばさらに周辺のラインの値を加味して演算しても良い。その場合さらに周辺の画素との演算が可能となるので、より精度の高い比較が可能となり、またノイズ等にも強い構成とすることができ。

また、本実施の形態例においては、第 2 のプログレッシブ画像フィールド信号の補間ラインの画素について、第 1 のプログレッシブ画像フィールド信号の現ラインの対応する画素の信号の値、および、現ラインの画素の上下の補間ラインの画素の値との差を演算することによって動き量情報 M を求めているが、これとは反対に、第 1 のプログレッシブ画像フィールド信号の補間ラインの画素について、第 2 のプログレッシブ画像フィールド信号の現ラインの対応する画素の信号の値、および、現ラインの画素の上下の補間ラインの画素の値との差を演算することによって動き量情報 M を求めてもよく、また、この両者を組み合わせる構成としても良い。

次に、フレーム補間回路 7 とフィールド補間回路 8 の動作について詳しく説明する。フレーム補間回路 7 には、フレーム補間回路 7 の内部の構成例を図 4 に、フィールド補間回路 8 の構成例を図 5 にそれぞれ示す。

図 4 において、703、704 は  $1/2$  乗算回路であり、705 は加算回路である。フレーム補間回路 7 の入力 701 には、図 1 のインタレース映像入力信号が入力され、入力 702 には第 2 の 1 フィールド遅延回路 2 の出力であるインタレース映像信号 b が入力される。

フレーム補間回路 7 に入力されたインタレース映像信号はそれぞれ乗算回路 703、乗算回路 704 でそれぞれ  $1/2$  に乗算された後に、加算回路 705 で加算され、フレーム補間回路 7 の出力として出力 706 より出力される。また、この演算は図示していないタイミング発生回路からの信号によりタイミング制御され、注目するフィールドの補間ラインの演算を行うように動作する。

図 5 のフィールド補間回路 8 においては、802 は 1 ライン遅延回路、803、804 は  $1/2$  乗算回路、805 は加算回路である。

フィールド補間回路8の入力801には、図1の第1の1フィールド遅延回路1の出力のインタレース映像信号aが入力される。入力されたインタレース映像信号aは1ライン遅延回路802で遅延される。

1ライン遅延回路802で遅延されたインタレース映像信号と入力801から入力されたインタレース映像信号aは、それぞれ1/2乗算器803、1/2乗算器804で1/2に乗算された後に加算回路805で加算され、出力806からフィールド補間回路8の出力として出力される。

また、フレーム補間回路7と同様に、この演算では図示していないタイミング発生回路からの信号でタイミング制御がされ、注目するフィールドの補間ラインの演算を行うように動作する。

フレーム補間回路7とフィールド補間回路8の出力の一例を、それぞれ下記に示す。

【0038】

【表 8】

補間回路の出力

(a) フレーム補間回路 7 の出力

	f3	f4	f5	f6	f7	f8	f9
L	128		37		128		218
L+1		191		64		64	
L+2	128		218		128		37
L+3		64		191		191	
L+4	128		37		128		218
L+5		191		64		64	
L+6	128		218		128		37
L+7		64		191		191	

(b) フィールド補間回路 8 の出力

	f3	f4	f5	f6	f7	f8	f9
L							
L+1		128		128		128	
L+2	128		128		128		128
L+3		128		128		128	
L+4	128		128		128		128
L+5		128		128		128	
L+6	128		128		128		128
L+7							

## 【0039】

(表8の(a))はフレーム補間回路7の出力を示す演算結果を示し、(表8(b))はフィールド補間回路8の出力を示す演算結果を示している。この表においてハッチングがある部分が、注目フィールドの補間ラインの信号であり、この値が演算される。なお、(表8)においては、第1の1フィールド遅延回路の出力のタイミングにおける補間処理の値を表示している。

例えば、(表8(a))においてf3フィールドのLラインの欄の値は以下の通りとなる。つまり第1の1フィールド遅延回路1からの出力aがf3フィールドのLラインの場合の値を下記の通りに求められる。

この場合、フレーム補間回路7の入力701にはインターレース映像信号であるf3フィールドのLラインの値「37」(表5(b)参照)が入力されている。またフレーム補間回路7の入力702には図1の第2の1フィールド遅延回路2の出力b、この場合f1フィールドの1ラインの値である「218」が入力される。これらの値を乗算回路703、乗算回路704のそれぞれで $1/2$ にし、加算回路705においてそれぞれを加算した値「127.5」の近傍の整数値である「128」が求められる。

同様にして、その他のハッチングされた部分の値も同様に演算される。

次にフィールド補間回路8の出力については(表8(b))で一例を示す。この表においても、第1の1フィールド遅延回路の出力のタイミングにおける補間処理の値を示している。例えば第1の1フィールド遅延回路1からの出力aがf3フィールドのL+1ラインにおける補間処理した値について以下に説明する。

f3フィールドのL+1ラインが第1の1フィールド遅延回路1からの出力aである時には、フィールド補間回路8には第1の1フィールド遅延回路1の出力であるf2フィールドのL+3ラインが入力される。このとき1ライン遅延回路802からは1ライン以上前の値、すなわちf2フィールドのL+1ラインの値である「255」が出力されて乗算回路803で $1/2$ が出力される。また乗算回路804ではf2フィールドのL+3ラインの値である「0」が $1/2$ にして出力されている。

これらの乗算回路803と乗算回路804の出力を加算回路805で加算し、そ

の値「127.5」の近傍値である「128」がフィールド補間された値として求められる。同様に、その他のハッチングされた部分の数値が演算される。次に出力回路9の動作について詳しく説明する。図6に出力回路9の内部の構成例を示す。図6において、907は $\alpha$ 倍の乗算回路であり、906は $(1-\alpha)$ 倍の乗算回路である。ここで $\alpha$ は0以上で1以下の数値である。

908は加算回路、909は切り換え回路、905は比較回路6から出力される動き量情報Mを入力903から入力し、その情報に応じて出力回路9から出力する静止画と動画の割合を演算する割合演算回路である。

出力回路9の入力901にはフレーム補間回路7の出力が入力され、入力902にはフィールド補間回路8の出力が入力される。また、入力904には第1の1フィールド遅延回路1の出力が入力され、入力903には比較回路6の比較結果出力、すなわち(表7の(b))に表される動き量情報Mに応じた値が入力される。

割合演算回路905は入力903から入力された動き量情報Mにより、フィールド補間回路7の出力信号とフィールド補間回路8の出力信号との割合を決める係数である $\alpha$ の値を特定する。例えば、比較回路6から出力される動き量情報Mについて、 $0 \leq M < 10$ のときは「 $\alpha = 0$ 」とし、 $10 \leq M < 20$ のときは「 $\alpha = 0.2$ 」とし、 $20 \leq M < 30$ のときは「 $\alpha = 0.5$ 」とし、 $30 \leq M$ のときは「 $\alpha = 1$ 」とするように決める。このように、動き量情報Mが少ないほど係数 $\alpha$ の値が小さくなるように制御する。

乗算回路906、乗算回路907では、入力901、入力902からそれぞれ入力されたフレーム補間回路7からの信号、フィールド補間回路8からの信号をそれぞれ乗算し、加算回路908で加算される。

このようにすれば、動き量情報Mが小さいほどフレーム補間回路7の出力の割合が高くなるように制御することができる。

切り換え回路909は、入力904に入力された第1の1フィールド遅延回路1の出力信号と加算回路908の出力を切り換える。この切り換えは図示していないタイミング発生回路によって、注目するフィールドの信号が現ラインであれば、1フィールド遅延回路1の出力信号を出力し、補間ラインであれば、加算回路

9 0 8 の出力を出力するように切り換えられる。

切り換え回路 9 の入力 9 0 3 には、(表 7 (b)) に示されている比較回路 6 の出力である動き量情報 M が入力される。例えば、f 4 フィールド、f 5 フィールド、f 8 フィールドの出力である動き量情報 M は「0」であるので、割合演算回路 9 0 5 の出力  $\alpha$  は「0」が出力される。

f 6 フィールド、f 7 フィールド、f 9 フィールドの出力である動き量情報 M は「19」または「13」であるので、割合演算回路 9 0 5 の出力  $\alpha$  は「0.2」が出力される。この  $\alpha$  の値を(表 7 (b)) の(カッコ内)に示している。

このように  $\alpha$  の値によって演算動作を行った結果の出力 9 1 0 の信号を(表 9)に示す。

【0 0 4 0】

【表9】

出力回路の値、および、出力回路の値と原信号との差

(a) 出力回路9の出力

	f3	f4	f5	f6	f7	f8	f9
L		37		37		218	
L+1	255	191	128	77	0	64	128
L+2	128	218	218	218	128	37	37
L+3	0	64	128	179	255	191	128
L+4	128	37	37	37	128	218	218
L+5	255	191	128	77	0	64	128
L+6	128	218	218	218	128	37	37
L+7	0		128		255		191

(b) 出力回路9の出力と  
インタレース前の信号との差

	f3	f4	f5	f6	f7	f8	f9
L							
L+1		26		39		26	
L+2	0		37		0		37
L+3		26		39		26	
L+4	0		37		0		37
L+5		26		39		26	
L+6	0		37		0		37
L+7							

## 【 0 0 4 1 】

(表 9 (a)) において、例えば f 4 フィールドの L + 1 ラインの出力の値は、動き量情報 M による  $\alpha$  の値が「0. 0」(表 7 (b)) であるので、フレーム補間回路 7 の出力値である「1 9 1」(表 8 (a)) となる。また、例えば f 6 フィールドの L + 1 ラインの出力の値は、動き量情報 M による  $\alpha$  の値が「0. 2」(表 7 (b)) であるので、フレーム補間回路 7 の出力値である「6 4」(表 8 (a)) に「0. 8」( $= 1 - 0. 2$ ) を乗じた値「5 1. 2」と、フィールド補間回路 8 の出力値である「1 2 8」(表 8 (b)) に「0. 2」を乗じた値「2 5. 6」を加えた値「7 6. 8」の近傍値である「7 7」となる。

このようにしてハッチングされている補間ラインの値と、ハッチングのない現ラインの値が(表 9 (a)) に演算される。

(表 9 (b)) に、(表 9 (a)) に示される出力回路 9 の出力値と、インタレースされる前の原信号の差の絶対値を示したものを示す。(表 9 (b)) では、この回路での遅延分である 1 フィールドの時間差を加味して、以下のように差を計算している。例えば、インタレースされる前の原信号の f 5 フィールドの L + 3 ラインの値である「2 1 8」はインタレースのサンプルで伝送されないライン画素であるが、回路での遅延である 1 フィールドを加味して、出力回路 9 からは、f 6 フィールドの L + 3 ラインの値として「1 7 9」という値で出力されている。この f 5 フィールドの L + 3 ラインの値である「2 1 8」と出力されている f 6 フィールドの L + 3 ラインの値の「1 7 9」の差の絶対値として「3 9」が計算される。このようにして、補間ラインでのインタレースされる前の値と出力回路 9 から出力された値の差が、(表 9 (b)) のように計算される。

## 【 0 0 4 2 】

(表 9 (b)) に示されるように、本発明の第 1 の実施の形態例の画像変換装置によれば、補間ラインでの現信号との明るさの差を、値として「4 0」以下に抑えることができる。この値は、(表 4 (b)) に示される従来例の補間ラインでの現信号との差である「9 0」に比べて、大幅に少なくすることが実現できている。

## 【 0 0 4 3 】



つまり本発明によれば、画像がゆっくりとライン方向に動いたときに動画処理となりやすく、画質が劣化しやすいという従来例での課題を大幅に軽減することが可能となっている。

このように本発明の第1の実施の形態例による画像変換装置によれば、基になるフィールドが異なるの第1のプロGRESSIVE画像フィールド信号と第2のプロGRESSIVE画像フィールド信号とを比較し、その比較結果を動き量情報Mとして出力することが出来るので、正確な動き検出を行うことができ、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときのなどにおいても、正確な動き判定をすることができ、安定で解像度の高い映像を提供することが出来る。

また、第1の実施の形態では、連続する4つのインタレース映像信号のうち第1から第3の3つのインタレース映像フィールド信号から第1のプロGRESSIVE画像フィールド信号を生成し、第2から第4までの3つのインタレース画像フィールド信号から第2のプロGRESSIVE画像フィールド信号を生成し、この第1のプロGRESSIVE画像フィールド信号と第2のプロGRESSIVE画像フィールド信号とを比較している。

なお、第1のプロGRESSIVE画像フィールド信号と第2のプロGRESSIVE画像フィールド信号の生成は、連続する4つのインタレース映像信号のフィールド信号で作成することに限定されず、例えば連続する3つのインタレース映像信号のフィールド信号のうちの第1のインタレース映像信号のフィールド信号と第2のインタレース映像信号のフィールド信号で第1のプロGRESSIVE画像フィールドを作成し、第2と第3のインタレース画像フィールドで第2のプロGRESSIVE画像フィールドを作成してもよい。このようにすれば、フィールドメモリーに蓄えるデータ量を削減することができ低コストで高性能の画像変換装置を提供することができる。

また、（第1の実施例の形態）例では、第1のプロGRESSIVE画像フィールド信号の現ラインとして、第2のインタレース映像のフィールド信号を用い、補間ラインとして第1のインタレース映像のフィールド信号と第3のインタレース映像のフィールド信号との演算値を用い、第2のプロGRESSIVE画像フィールド信号の現ラインとして、第3のインタレース映像のフィールド信号を用い、補間ライ

ンとして第1のインタレース映像のフィールド信号と第4のインタレース映像のフィールド信号の演算値を用いている。

これによって、多少の動きがあったとしても、補間ラインには、第1と第3のインタレース画像フィールド信号の演算により、また、第2と第4のインタレース画像フィールド信号の演算により、相対的な動き量がキャンセルしあうように働くため、映像に動きがあったとしても、「静止」、「動き」の判定を正確に行うことができ、高精度に画質を改善でき、より高画質なプログレッシブ映像を提供することが出来る。

さらに補間ラインの信号を演算する上で、対応するインタレース画像フィールドの対応する画素とその周辺の画素を演算に含めている。これによりノイズに強く、より精度の高い第1のプログレッシブ画像フィールド信号と第2のプログレッシブ画像フィールド信号を生成することができ、より高精度の動き検出を行うことが出来る。

さらに補間ラインの信号を演算する上で、対応するインタレース映像フィールドの対応する画素の平均値を演算している。これによって回路規模を簡略化することが可能となり低コストに回路を実現できる。

また、比較回路の比較に当たっては、比較手段は、第1のプログレッシブ画像生成手段が生成した第1のプログレッシブ画像フィールド信号と第2のプログレッシブ画像生成手段が生成した第2のプログレッシブ画像フィールド信号の対応する画素間、および、対応する画素とその周辺の画素の値を画素ごとに比較し、その比較結果を動き量として出力するものである。

この場合、比較手段の比較が対応する画素だけにとどまらず、周辺の画素をも含むので、動き検出をより高精度で行うことが出来るものである。

#### 【0044】

一般には、インタレース映像信号をインタレース画像フィールド信号と呼び、プログレッシブ映像信号を、特に、プログレッシブ画像フレーム信号と呼ぶことがある。

#### 【0045】

本発明の実施の形態の説明においては、最終的な出力に至る前の中間的なプロ

グレッシブ画像信号をテレビ映像のフィールド単位の処理信号であることから、プログレッシブ画像フィールド信号と記している。この名称について、特にフィールド信号という呼び方をしているが、フィールド信号が合成されたフレーム信号と呼び変えても意味的には同じである。つまり、本発明においては、プログレッシブ画像フィールド信号をプログレッシブ画像フレーム信号と呼び変えても同じ意味を指すものであり、本発明は、プログレッシブ画像フィールド信号という表記に限定されない。すなわち、プログレッシブ画像フィールド信号は、インタレース画像フィールド信号から生成されたプログレッシブ画像信号を示すものである。

【0046】

(実施の形態2)

次に第2の実施の形態による画像変換装置について説明する。図7に第2の実施の形態の本発明の画像変換装置のブロック図を示す。本実施の形態ではの画像変換装置は、画像形成回路が形成したプログレッシブ画像のライン間に新たに複数の仮想の画素を形成して、1ライン/フィールド以下で画像がゆっくりした動いた時に、実施の形態1の画像変換装置に比較して、より精密に動き情報を検出でき、最適な静止処理と動画処理の制御を実現できるものである。

図7に示す画像変換装置は、第1の1フィールド遅延回路1、第2の1フィールド遅延回路2、第3の1フィールド遅延回路3、第1のプログレッシブ画像生成回路4、第2のプログレッシブ画像生成回路5、比較回路6a、フレーム補間回路7、フィールド補間回路8、出力回路9a、第1の画像形成装置10、第2の画像形成装置11とを備える。また、図示していないが、入力された映像信号の同期信号またはそれに対応する信号を受けて各ブロックに必要なタイミング信号を発生するタイミング発生回路をも備えている。

図7に示す画像変換装置と(実施の形態1)で説明した図1に示す画像変換装置とで異なる点は、本実施の形態の画像変換装置には、第1の画像形成回路10と第2の画像変換装置11が付加された点と、比較回路6が比較回路6aに変更された点と、出力回路9が出力回路9aに変更した点であり、その他の点は図1に示す画像変換装置と同様であるので、同一部分には同一符号を付し、異なる部分

についてのみに以下に説明する。

第1の画像形成回路10は、第1のプロGRESSIVE画像生成回路4の出力するプロGRESSIVE画像の画素間に新たに画素を形成する。また、第2の画像形成回路11は、第2のプロGRESSIVE画像生成回路5の出力するプロGRESSIVE画像の画素間に新たに画素を形成する。

次に比較回路6aは、画素形成回路10が出力する新たに形成されたプロGRESSIVE画像フィールド信号と画素形成回路11が出力する新たに形成されたプロGRESSIVE画像フィールド信号とをそれぞれ対応する画素間で、また対応する画素をとその周辺の画素の値を比較して、その比較結果を動き量情報Maとして出力する。

以下に第1の画像形成回路10および第2の画像形成回路11の動作を詳しく説明する。図8は画像形成回路の構成例を示す図であり、第1の画像形成回路10は図8(a)、第2の画像形成回路11は図8(b)に示す。

第2の画像形成回路11の入力1101には第2のプロGRESSIVE画像生成回路5の出力信号が入力され、第1の画像形成回路10の入力1001にはプロGRESSIVE第1のレSSHIVE画像生成回路4の出力信号が入力される。

1002、1003、1102、1103は1ライン遅延回路、1004から1015および1104から1115は乗算回路であり、それぞれの乗算係数は、1004、1009、1010、1015、1104、1109、1110、1115が3/4に設定されており、また1006、1007、1012、1013、1106、1107、1112、1113が2/4に設定されており、1005、1008、1011、1014が1/4に設定されている。また、1016、1017、1018、1019、1020、1021、1116、1117、1118、1119、1120、1121は加算回路である。

図8(a)を用いて第1の画像形成回路10についてその動作を説明する。

入力1001から入力した第1のプロGRESSIVE画像生成回路から出力された映像信号は、1ライン遅延回路1002に入力され、さらに1ライン遅延回路1002の出力信号が1ライン遅延回路1003に入力され、それぞれで1ライン分遅延される。

乗算回路1015、乗算回路1013、乗算回路1011には入力1001から入力された信号が入力され、乗算回路1014、乗算回路1012、乗算回路1010、乗算回路1009、乗算回路1007、乗算回路1005には、1ライン遅延回路1002の出力信号が入力され、乗算回路1008、乗算回路1006、乗算回路1004には1ライン遅延回路1003の出力信号が入力される。次に、加算回路1016には乗算回路1004と乗算回路1005の出力が加算され、加算回路1017には乗算回路1006と乗算回路1007の出力が加算され、加算回路1018には乗算回路1008と乗算回路1009の出力が加算され、加算回路1019には乗算回路1010と乗算回路1011の出力が加算され、加算回路1020には乗算回路1012と乗算回路1013の出力が加算され、加算回路1021には乗算回路1014と乗算回路1015の出力が加算される。

これらの加算回路1016から加算回路1018までの出力が、それぞれ、出力1022から出力1024に出力される。また加算回路1019から加算回路1021までの出力が、それぞれ、出力1026から出力1028に出力される。

#### 【0047】

1ライン遅延回路1002の出力は出力1025に出力される。そしてこれらの出力1022から1出力1028を出力1029として、出力される。

第1の画像形成回路10では、このような動作は、図示していないタイミング発生回路の信号を受けて、第1のプロGRESSIVE画像生成回路4の出力画像の補間ラインが、1ライン遅延回路1002から出力されるタイミングで演算される。このとき、出力1022には、注目すべき補間ラインの画素の値の $1/4$ と、補間ラインの上の現ラインの画素の値の $3/4$ が加算され出力されている。これは、注目すべき補間ラインの画素から補間ラインの上の現ラインの画素への1ラインの $3/4$ の距離にある場所の画素を形成したことになる。

同様に、出力1023には補間ラインの上の現ラインの画素の値の $2/4$ が加算され出力されている。これは、注目すべき補間ラインの画素から補間ラインの上の現ラインの画素への1ラインの $2/4$ の距離にある場所の画素を形成したことになる。

また、出力 1 0 2 4 には補間ラインの上の現ラインの画素の値の  $1/4$  が加算され出力されている。これは、注目すべき補間ラインの画素から補間ラインの上の現ラインの画素への 1 ラインの  $1/4$  の距離にある場所の画素を形成したことになる。

また、出力 1 0 2 6 には補間ラインの下側の現ラインの画素の値の  $1/4$  が加算され出力されている。これは、注目すべき補間ラインの画素から補間ラインの下側の現ラインの画素への 1 ラインの  $1/4$  の距離にある場所の画素を形成したことになる。

また、出力 1 0 2 7 には補間ラインの下側の現ラインの画素の値の  $2/4$  が加算され出力されている。これは、注目すべき補間ラインの画素から補間ラインの下側の現ラインの画素への 1 ラインの  $2/4$  の距離にある場所の画素を形成したことになる。

また、出力 1 0 2 8 には補間ラインの下側の現ラインの画素の値の  $3/4$  が加算され出力されている。これは、注目すべき補間ラインの画素から補間ラインの下側の現ラインの画素への 1 ラインの  $3/4$  の距離にある場所の画素を形成したことになる。

このような演算を行った結果である第 1 の画像形成回路 1.0 の出力を、(表 1 0 ) に示す。

【 0 0 4 8 】

【表 10】

## 画像形成回路の出力

(a) 画像形成回路10の出力例

	f3	f4	f5	f6	f7	f8	f9
L	218	128	37	37	37	128	218
L+0.25	159	76	60	44	96	179	195
L+0.50	191	114	82	51	64	141	173
L+0.75	223	153	105	57	32	102	150
L+1	255	191	128	64	0	64	128
L+1.25	223	198	150	102	32	57	105
L+1.50	191	204	173	141	64	51	82
L+1.75	159	211	195	179	96	44	60
L+2	37	128	218	218	218	128	37
L+2.25	96	179	195	211	159	76	60
L+2.50	64	141	173	204	191	114	82
L+2.75	32	102	150	198	223	153	105
L+3	0	64	128	191	255	191	128
L+3.25	32	57	105	153	223	198	150
L+3.50	64	51	82	114	191	204	173
L+3.75	96	44	60	76	159	211	195
L+4	218	128	37	37	37	128	218
L+4.25	159	76	60	44	96	179	195
L+4.50	191	114	82	51	64	141	173
L+4.75	223	153	105	57	32	102	150
L+5	255	191	128	64	0	64	128
L+5.25	223	198	150	102	32	57	105
L+5.50	191	204	173	141	64	51	82
L+5.75	159	211	195	179	96	44	60
L+6	37	128	218	218	218	128	37
L+6.25	96	179	195	211	159	76	60
L+6.50	64	141	173	204	191	114	82
L+6.75	32	102	150	198	223	153	105
L+7	0	64	128	191	255	191	128

(b) 画像形成回路11の出力例

	f3	f4	f5	f6	f7	f8	f9
L	128	37	37	37	128	218	218
L+0.25	159	76	60	44	96	179	195
L+0.50	191	114	82	51	64	141	173
L+0.75	223	153	105	57	32	102	150
L+1	255	191	128	64	0	64	128
L+1.25	223	198	150	102	32	57	105
L+1.50	191	204	173	141	64	51	82
L+1.75	159	211	195	179	96	44	60
L+2	128	218	218	218	128	37	37
L+2.25	96	179	195	211	159	76	60
L+2.50	64	141	173	204	191	114	82
L+2.75	32	102	150	198	223	153	105
L+3	0	64	128	191	255	191	128
L+3.25	32	57	105	153	223	198	150
L+3.50	64	51	82	114	191	204	173
L+3.75	96	44	60	76	159	211	195
L+4	128	37	37	37	128	218	218
L+4.25	159	76	60	44	96	179	195
L+4.50	191	114	82	51	64	141	173
L+4.75	223	153	105	57	32	102	150
L+5	255	191	128	64	0	64	128
L+5.25	223	198	150	102	32	57	105
L+5.50	191	204	173	141	64	51	82
L+5.75	159	211	195	179	96	44	60
L+6	128	218	218	218	128	37	37
L+6.25	96	179	195	211	159	76	60
L+6.50	64	141	173	204	191	114	82
L+6.75	32	102	150	198	223	153	105
L+7	0	64	128	191	255	191	128

## 【 0 0 4 9 】

(表 1 0 (a)) の画像形成回路 1 0 の出力例は、例えば f 4 フィールドの L + 2 ラインと L + 1 ラインの間の L + 1. 2 5 ラインの画素を、L + 1 ラインの画素の値である「2 5 5」を  $3/4$  倍した値「1 9 1. 2 5」と、L + 2 ラインの画素の値である「1 2 8」を  $1/4$  倍した値「3 2」を加算して、その合計値「2 2 3. 2 5」の近傍値として「2 2 3」が求められ出力される。

(表 1 0 (b)) の第 2 の画像形成回路 1 1 の出力例では、例えば、f 5 フィールドの L + 4 ラインと L + 5 ラインの間の L + 4. 2 5 ラインの画素を、L + 4 ラインの画素の値である「3 7」を  $3/4$  倍した値「2 7. 7 5」と、L + 5 ラインの画素の値である「1 2 8」を  $1/4$  倍した値「3 2」を加算して「5 9. 7 5」の近傍値として「6 0」が求められ出力される。このようにして、他の部分の値も算出され出力される。

画像形成回路 1 0、1 1 では、上記のような演算が行われ、新たに画素が形成されたプログレッシブ画像フィールド信号が出力される。

次に、比較回路 6 a の動作について詳しく説明する。比較回路 6 a の内部構成を図 9 に示す。比較回路 6 a において、6 0 0 3、6 0 0 4 はバッファ回路であり、6 0 0 5 は動き演算回路であり、6 0 0 6 は最小値回路である。

比較回路 6 a の入力 6 0 0 1 には第 1 の画素形成回路 1 0 からの信号が入力され、入力 6 0 0 2 には第 2 の画素形成回路 1 1 からの信号が入力される。入力 6 0 0 1 と入力 6 0 0 2 から入力された信号は、バッファ回路 6 0 0 3、バッファ回路 6 0 0 4 にそれぞれ入力され、必要な信号がこれらのバッファ回路に蓄えられる。これらのバッファ回路 6 0 0 3 とバッファ回路 6 0 0 4 から出力された出力信号は動き演算回路 6 0 0 5 に入力する。動き演算回路 6 0 0 5 では、バッファ回路 6 0 0 3 とバッファ回路 6 0 0 4 から出力された両者の出力信号において、対応する画素間、および対応する画素とその周辺の画素の値を比較し、その比較結果を動き量として出力する。

最小値回路 6 0 0 5 は、動き演算回路 6 0 0 5 から出力された信号を入力し、出力の最小値を選択して出力 6 0 0 7 から出力する。

次に、動き演算回路 6 0 0 5 の演算動作の内容を (表 1 1 (a)) を用いて説明



する。動き演算回路 6 0 0 5 では、バッファ回路 6 0 0 3、バッファ回路 6 0 0 4 からそれぞれ新たに画素を形成されたプログレッシブ画像信号が入力される。例えば、f 4 フィールドの L + 3 ラインの上下の 7 画素の演算は以下のように行われている。

まず、f 4 フィールドの L + 3 ラインの値は、(表 1 0 (a))、(表 1 0 (b)) に示される第 1 の画素形成回路 1 0、第 2 の画素形成回路 1 1 のそれぞれの出力の f 4 フィールドの L + 2、2 5 ラインから L + 3、7 5 ラインのそれぞれの値の差の絶対値を加算することによって求められる。すなわち、f 4 フィールドの L + 3 ラインは、

【0 0 5 0】

【数 1】

$$\begin{aligned} & ((|96-179|) + |64-141| + |32-102| + |0-64| + \\ & |32-57| + |64-51| + |96-44|) / 7 \approx 54.857 \\ & \approx 55 \end{aligned}$$

【0 0 5 1】

として求められる。この値は、映像が全く静止している場合この値が最も小さくなる。

また、f 4 フィールドの L + 3 ラインの一つ上の値は、(表 1 0 (a)) に示される第 1 の画素形成回路 1 0 の出力における、f 4 フィールドの L + 2 ラインから同フィールドの L + 3、5 0 ラインの値と、表 1 0 (b) に示される第 2 の画素形成回路 1 1 の出力における、f 4 フィールドの L + 2、2 5 ラインから同フィールドの L + 3、7 5 ラインの値のそれぞれの差の絶対値を加算することによって求められる。すなわち、f 4 フィールドの L + 3 ラインの一つ上の値は、

【0 0 5 2】

【数 2】

$$\begin{aligned} & (|(128-179)| + |96-141| + |64-102| + |32-64| + \\ & |0-57| + |32-51| + |64-44|) / 7 \approx 37.429 \\ & \approx 38 \end{aligned}$$

【0 0 5 3】

として求められる。この値は、映像が下ライン方向に 0. 25 画素/フィールド動いている場合に最も小さくなる。

また同様に、f 4 フィールドの L+3 ラインの二つ上の値は、(表 10 (a)) に示される第 1 の画素形成回路 10 の出力の L+1. 75 ラインから L+3. 25 ラインの値と、(表 10 (b)) に示される第 2 の画素形成回路 11 の出力の L+2. 25 ラインから L+3. 75 ラインの値のそれぞれの差の絶対値を加算することによって求められる。すなわち、f 4 フィールドの L+3 ラインの一つ上の値は、

【0 0 5 4】

【数 3】

$$\begin{aligned} & (|(159-179)| + |(128-141)| + |(96-102)| + |(64-64)| + \\ & |(32-57)| + |(0-51)| + |(32-44)|) / 7 \approx 18.142 \\ & \approx 18 \end{aligned}$$

【0 0 5 5】

として求められる。この値は、映像が下ライン方向に 0. 50 画素/フィールド動いている場合に最も小さくなる。

同様にして、f 4 フィールドの L+3 ラインの三つ上の値は 22、二つ上の値は 18、一つ上の値は 38、静止の値は 55、一つ下の値は 71、二つ下の値は 84、三つ下の値は 98 とそれぞれ計算される。ここで、それぞれ上記の f 4 フィールドの L+3 ラインの三つ上の欄から三つ下の欄は、それぞれ、動きの量が下方向に 0. 75 画素/フィールド、0. 50 画素/フィールド、0. 25 画素/フィールド、静止、上方向へ 0. 25 画素/フィールド、0. 50 画素/フィールド、0. 75 画素/フィールドの動きのときに最小化する。

すなわち、上記の演算では、動きの方向とその確からしさが演算によって求められる。

上記の例の場合、下側に 0. 50 画素/フィールドの動きのところが最小となっているので、動き量が 0. 50 画素/フィールドであり、その確からしさは、18 であると判定できる。

また、ある閾値を設けて、上記 7 つの欄のうちの最小値が、閾値以下であれば、

動き量が小さいという判定もできる。例えば、閾値を 2 0 として、2 0 以下の欄が二つ上の欄にあるので、下方向に 0. 5 画素／フィールドの動きであると判定できる。

この様にすれば、動きの方向の情報を出力回路 9 に送ることができないが、出力回路 9 へ出力する情報を少なくすることができて、回路を簡略化することが可能である。

動き演算回路 6 0 0 5 は、このような 1 ライン（間のライン）、または、0、7 5 ライン、以下等の動きにより判定ができるように、動きの場所を示す表の場所と動きの確からしさを示す値を出力する。

最小値回路 6 0 0 6 は、注目する補間ラインの画素での動き演算回路 6 0 0 5 の出力の最小値の値と、動きの場所とを選択して出力 6 0 0 7 に出力する。例えば、f 4 フィールドの L + 3 ラインの補間ラインでは、下方向に 0. 5 画素／フィールドの動きを示す二つ上の欄の 1 8 が選択される。すなわち、下方向に 0. 5 画素／フィールドで、その確かさは「1 8」であるという値が出力される。上述したように値が小さいほどその方向の動きの確率が高いといえる。（表 1 1（b））は、上記のような最小値と動き方向について、補間ラインでの画素ごとに値を示したものであり、この値が比較回路 6 a の出力信号として出力される。

【 0 0 5 6 】

【表 11】

動き演算回路の出力と比較回路の出力

(a) 動き演算回路6005の出力例

	f3	f4	f5	f6	f7	f8	f9
L							
L+1			28		17		28
			18		15		18
			17		38		17
L+2			27		59		27
		22	52	26	73	22	52
		18	71	14	86	18	71
		38	84	18	99	38	84
L+3		55		36		55	
		71	28	59	17	71	28
		84	18	75	15	84	18
		98	17	87	38	98	17
L+4			27		59		27
		22	52	26	73	22	52
		18	71	14	86	18	71
		38	84	18	99	38	84
L+5		55		36		55	
		71		59		71	
		84		75		84	
		98		87		98	
L+6							
L+7							

(b) 比較回路 6a の出力例

	f3	f4	f5	f6	f7	f8	f9
L							
L+1					15		
			17				17
L+2							
		18					
L+3				14		18	
			17		15		17
L+4							
		18		14		18	
L+5							
L+6							
L+7							

## 【 0 0 5 7 】

上記の比較回路 6 a の場合、ライン間に新たに画素が形成され、より解像度の高い第 3 のプログレッシブ画像と第 4 のプログレッシブ画像が形成され、これを基にして動き量を演算している。これによって、精度の高い動き検出が可能となり、後述する出力回路での動画／静止画の出力割合の制御が正確にできて、画質劣化の少ない、解像度の高い映像プログレッシブ画像フィールド信号を生成することが可能となる。

また、演算については対応する画素間および対応する画素とその周辺の画素の値を比較し、その比較結果を動き量として出力している。このようにすれば周辺の画素も演算に使用できるので、演算の制度が向上し、検出の精度を向上することができる。

また、演算する画素の関係は本発明の例に限らず、対応する画素同士だけの演算を行っても良いし、対応する画素とその周辺の画素の演算を行っても良く、また、その両方を行っても良い。

また、上記の例では、第 3 のプログレッシブ画像と第 4 のプログレッシブ画像が形成され、これを基にして、動き量を演算しているが、比較の方法については、この例に限るものではない。すなわち、画素の比較は、例えば、第 3 のプログレッシブ画像については、新たに形成した画素を使用することなく、第 1 のプログレッシブ画像として元々存在していた画素と第 4 のプログレッシブ画像を比較してもよい。また、同様に、例えば、第 4 のプログレッシブ画像については、新たに形成した画素を使用することなく、第 2 のプログレッシブ画像として元々存在していた画素と第 1 のプログレッシブ画像を比較しても良い。

このような場合には、第 1 の画素形成手段 1 0 または第 2 の画素形成手段 1 1 のどちらかを削減でき回路の規模を削減することがで、回路コストを低減することができる。

すなわち、本実施の形態において、比較手段 6 a は、第 2 のプログレッシブ画像フィールド信号と第 3 のプログレッシブ画像フィールド信号、または、第 1 のプログレッシブ画像フィールド信号と第 4 のプログレッシブ画像フィールド信号、または第 3 のプログレッシブ画像フィールド信号と第 4 のプログレッシブ画像フ

ィールド信号の対応する画素間、および対応する画素とその周辺の画素の値を比較し、その比較結果を動き量として出力することによって、動き量を演算することができる。

次に出力回路 9 a の動作を説明する。図 1 0 に出力回路 9 a の内部構成の一例を示す。(第 1 の実施の形態) の出力回路 9 と異なる点は、割合演算回路 9 0 5 が割合演算回路 9 0 0 5 に変更された点である。それ以外の点は、出力回路 9 と同様であるので、同一部分には同一符号を付し、以下は異なる部分についてのみ説明する。

割合演算回路 9 0 0 5 の入力 9 0 3 には、前述のように比較回路 6 a から動きの方向とその正確さを示す数値が入力される。割合演算回路 9 0 0 5 は、入力され動きの方向の量がある値以下である場合に静止の割合が大きいと判断し、静止の割合が大きくなるように  $\alpha$  の値を小さくして出力する。

例えば、動きの方向の量に応じて  $\alpha$  の値を以下のように決める。

- 1) 動きの方向の量が「0. 5 0」以下のとき、 $\alpha = 0$  を出力する。
- 2) 動きの方向の量が「0. 7 5」以下のとき、 $\alpha = 0. 2$  を出力する。
- 3) 動きの方向の量が「1. 0 0」以下のとき、 $\alpha = 0. 5$  を出力する。
- 4) 動きの方向の量が上記以外のとき、 $\alpha = 1. 0$  とする。

また、例えば、このとき、動きの確からしさを示す値を 2 0 以下であるときに正しい動きであると判定し、上記の 1) ~ 3) を選択し、それ以外の時には、動きの方向の量が不確定であるとして、上記の 4) を選択するようにする。

このようにすれば、割合検出回路 9 0 0 5 に(表 1 1 (b)) に示す値が入力された場合は、全て動きの方向の量が「0. 5」以下となり  $\alpha = 0$  を出力する。

また、 $\alpha$  の決め方についてはこの例では、1. 0 ライン以下のときに静止画の割合を大きくしているが、より正確な動きを求めるために、例えば、動きの方向の量を「0. 7 5」以下のときに静止画の割合大きくしても良い。また、例えば、例えば、動きの方向の量を「0. 5 0」以下のときに静止画の割合大きくしても良い。このようにすればより厳密に静止の状態を検出することができ、検出精度を向上することができる。

【0 0 5 8】

上記の条件によって、例えば、動きの方向の量が「0.5」以下となったときに  $\alpha = 0$  とした時の出力回路 9 a の値を（表 1 2（a））に示す。このとき（表 1 1（b））に示される確定した動きの方向の部分のみについて補間画素の値を演算した。この（表 1 1（b））に示される出力とインタレースされる前の信号との差を（表 1 2（b））に示す。

【 0 0 5 9 】

【表12】

出力回路の出力、および、出力回路の出力と原信号との差

(a) 出力回路 9a の出力

	f3	f4	f5	f6	f7	f8	f9
L		37		37		218	
L+1	255		128		0		128
L+2		218	218	218	128	37	37
L+3	0	64	128	191	255	191	128
L+4		37	37	37	128	218	218
L+5	255	191	128	64	0	64	128
L+6		218		218		37	
L+7	0		128		255		191

(b) 出力回路 9a の出力と  
インタレース前の信号との差

	f3	f4	f5	f6	f7	f8	f9
L							
L+1							
L+2			37		0		37
L+3		26		26		26	
L+4			37		0		37
L+5		26		26		26	
L+6							
L+7							



【0060】

(表11の(b))については、(表9(b))での計算と同様に、この回路での遅延分である1フィールドの時間差を加味して計算している。この(表11(b))を(表9(b))と比較するとフィールドf6での誤差が、「39」から「26」に減少していることがわかる。これは、(第2の実施の形態)における画像変換装置においては、(第1の実施の形態)における画像変換装置よりも高精度に画像を変換できることを示している。すなわち、(第2の実施の形態)における画像変換装置は、従来の動き適応型プログレッシブ変換装置が持つ、画像がゆっくりとライン方向に動いたときに動画処理となりやすく、画質が劣化しやすいという課題に対して、(第1の実施の形態)よりもさらに有効に課題を解決しているといえる。

これは、新たに、画素を形成した第3のプログレッシブ画像、第4のプログレッシブ画像を用いて、それぞれの対応する画素間、および、対応する画素とその周辺の画素の値を比較し、その比較結果を動き量として出力検出したことによって、新たに画素が形成された、より解像度の高い第3のプログレッシブ画像と第4のプログレッシブ画像を基にして、比較手段が動き量を演算できるので、より精度の高い動き検出が可能になり、画質劣化の少ない、解像度の高い映像プログレッシブ画像フィールド信号を生成することが可能となったことを示している。

また、新たに画素を形成する際において、第1の画素形成手段、または、第2の画素形成手段は、それぞれ、プログレッシブ画像フィールド信号のライン間に新たに画素を形成しているので、インタレース信号をプログレッシブ画像信号に変換する際により厳しい変換精度を要求される垂直方向に対しての精度を上げることができ、水平方向への新たに画素を生成する回路を省略できるので、回路規模の増大を低く抑えることができ、低コストに高精度の画像変換装置を提供することが可能となっている。

ここで、(第2の実施の形態)の画像変換装置において、画素形成手段10が第1の画素形成手段に相当し、画素形成手段11が第2の画素形成手段に相当する。

(実施の形態3)

次に第3の実施の形態による画像変換装置について説明する。図11に本実施の形態の画像変換装置の構成例であるブロック図を示す。

図11に示す画像変換装置は、第1の1フィールド遅延回路1、第2の1フィールド遅延回路2、第3の1フィールド遅延回路3、第1のプロGRESSIVE画像生成回路4、第2のプロGRESSIVE画像生成回路5、比較回路6、フィールド補間回路8、出力回路9、非適用領域検出回路12を備える。また、図示していないが、入力された映像信号の同期信号を受けて各ブロックに必要なタイミング信号を発生するタイミング発生回路を備えている。

図11に示す画像変換装置と（第1の実施の形態）で示す図1に示す画像変換装置とで異なる点は、非適用領域検出回路12が付加された点と、フレーム補間回路7が削除された点と、非適用領域検出回路12から出力された信号と第2のプロGRESSIVE画像生成回路5から出力された信号が入力される出力回路9bを備える点であり、その他の構成は図1に示す画像変換装置と同様であるので、同一部分には同一符号を付し、以下に異なる部分についてのみ説明する。

非適用領域検出回路12は、入力されるインタレース映像信号と第1の1フィールド遅延回路1の出力信号が入力される。これらの信号から非適用領域検出回路12はフィールド間の映像信号の対応する画素を含む周辺の画素の信号の値の平均値により検出し、平均値が大きく異なるときには、入力された映像が、フィールド間で元々大きく信号値が変化するフリッカ性の画像であることを検出する。このような画像においては、静止画処理であるフレーム間の補間を行うと画質ひずみを生じるので、動画処理であるフィールド補間処理の信号を出力した方がよい。

#### 【0061】

非適用領域検出回路12は、このような動画処理であるフィールド補間処理の信号を出力した方がよい信号を検出して、出力回路9bに出力する。

出力回路9bでは、このような信号が非適用領域検出回路12から入力されたときに、フィールド補間回路8の信号の割合を増加させて出力する。これによって、連続したカメラのフラッシュ等が含まれる映像に対しても、誤って静止画像としないようにすることができ、より精度の高い画像変換装置を提供することが出

来る。

また、非適用領域検出回路 1 2 は、インタレース画像フィールドのフィールド間の画像信号の対応する画素を含む周辺の画素の信号の値の平均値により検出している。この場合、比較的少ない回路規模で、より精度の高い画像変換装置を提供することが出来る。

【 0 0 6 2 】

また、本実施の形態による画像変換装置では、フレーム補間回路 7 が削除されて、フレーム補間回路 7 からの出力の代わりにプログレッシブ画像生成回路 5 の出力信号が出力回路 9 b に入力されている。これによって、フレーム補間回路が削減できるので、低コストに画像変換装置を提供することができる。

【 0 0 6 3 】

【発明の効果】

本発明によれば、複数のインタレース画像信号から第 1 のプログレッシブ画像と第 2 のプログレッシブ画像の 2 つのプログレッシブ画像を作成し、第 1 のプログレッシブ画像フィールド信号と第 2 のプログレッシブ画像フィールド信号とを比較し、その比較結果を動き量として出力することが出来るので、補間処理により生成した補間値も含めて正確な動き検出を行うことができ、完全な静止画にとどまらず、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときなどにおいても、正確な動き判定をすることができ、安定で解像度の高い映像を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態における画像変換装置の構成を示すブロック図

【図 2】

同画像変換装置のプログレッシブ画像生成回路の構成を示すブロック図

【図 3】

同画像変換装置の比較回路の構成を示すブロック図

【図 4】

同画像変換装置のフレーム補間回路の構成を示すブロック図

【図 5】

同画像変換装置のフィールド補間回路の構成を示すブロック図

【図 6】

同画像変換装置の出力回路の構成を示すブロック図

【図 7】

第 2 の実施の形態における画像変換装置の構成を示すブロック図

【図 8】

同画像変換装置の画像形成回路の構成を示すブロック図

【図 9】

同画像変換装置の比較回路のブロック図

【図 1 0】

同画像変換装置の出力回路のブロック図

【図 1 1】

第 3 の実施の形態における画像変換装置の構成を示すブロック図

【図 1 2】

インタレース映像信号の形態を示す図

【図 1 3】

従来の動き適応型プログレッシブ変換装置の構成を示すブロック図

【図 1 4】

垂直方向に正弦波的に輝度に変化する画像の一例を示す図

【図 1 5】

インタレースで伝送された信号の一例を示す図

【図 1 6】

1 フィールドごとに動く信号波形の例を示す図

【符号の説明】

1、2、3 フィールド遅延回路

4、5 プログレッシブ画像生成回路

6、6 a 比較回路

7 フレーム間補間回路

特 2 0 0 2 - 1 1 4 5 6 9

8 フィールド間補間回路

9、9 a 出力回路

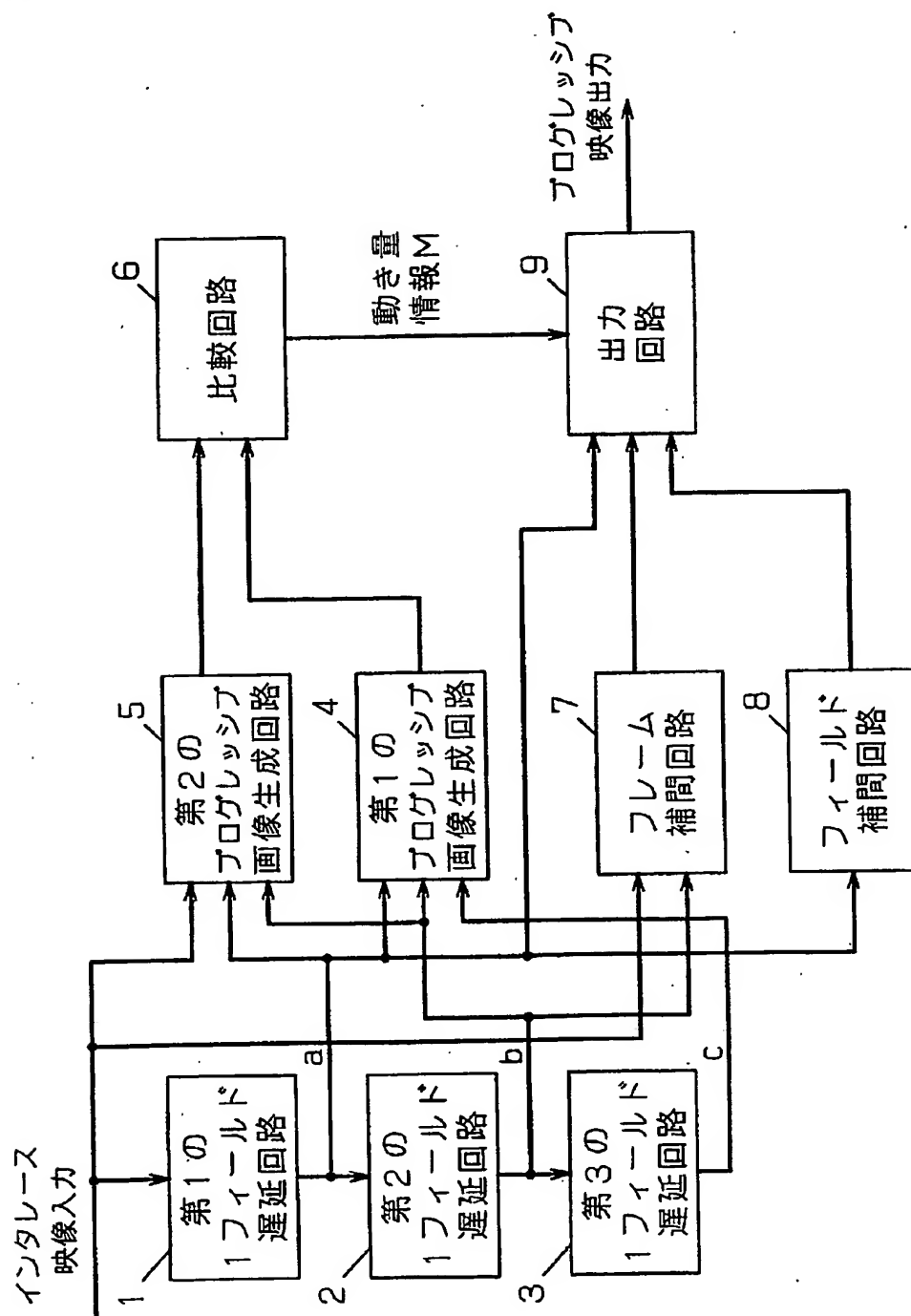
1 0、1 1 画像形成回路

1 2 非適用領域検出回路

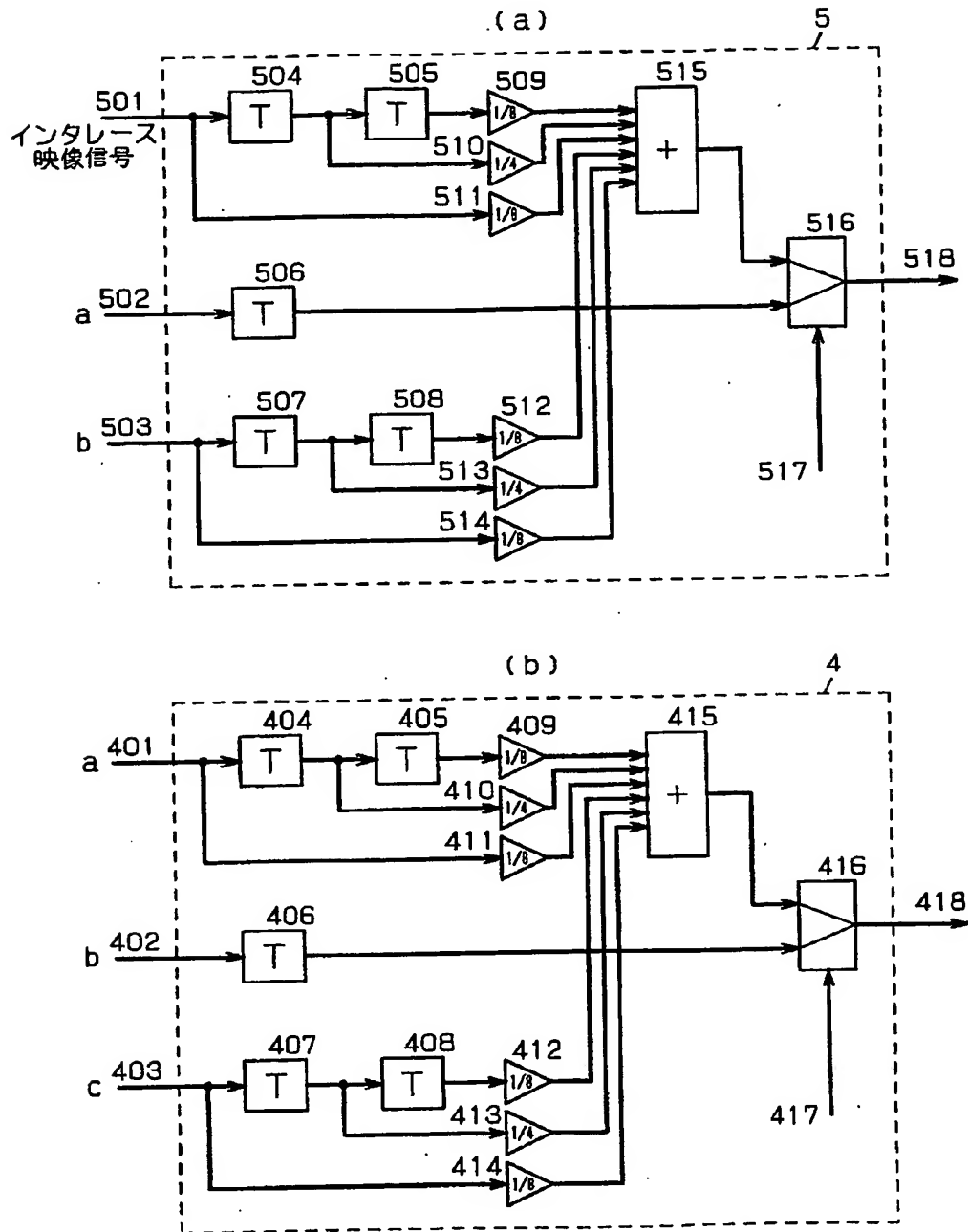
【書類名】

図面

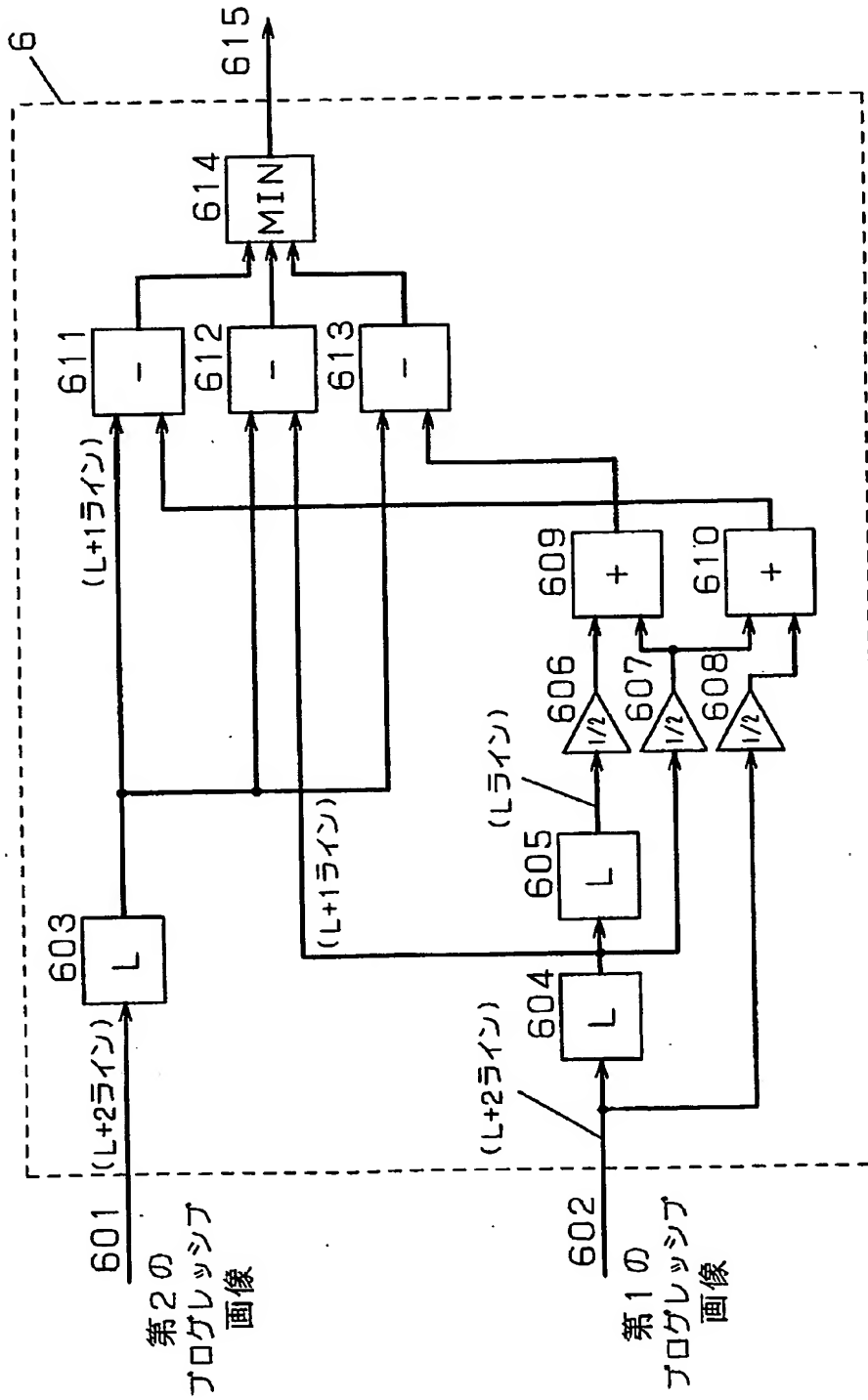
【図1】



【図2】

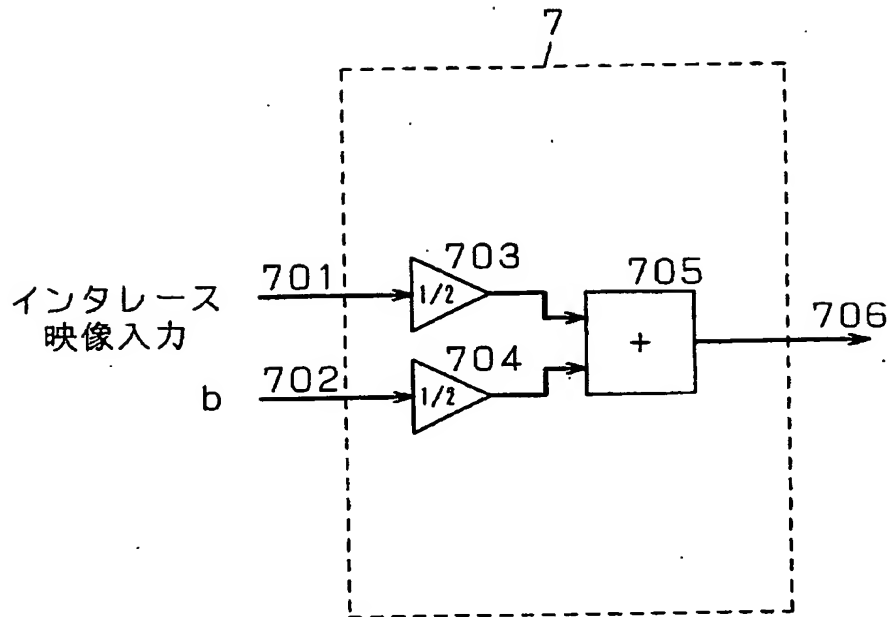


【図3】

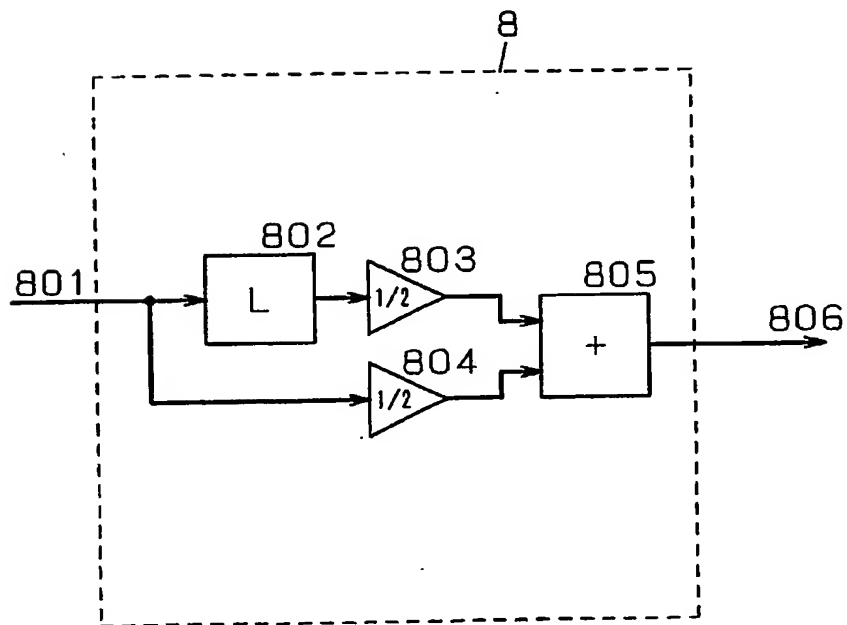




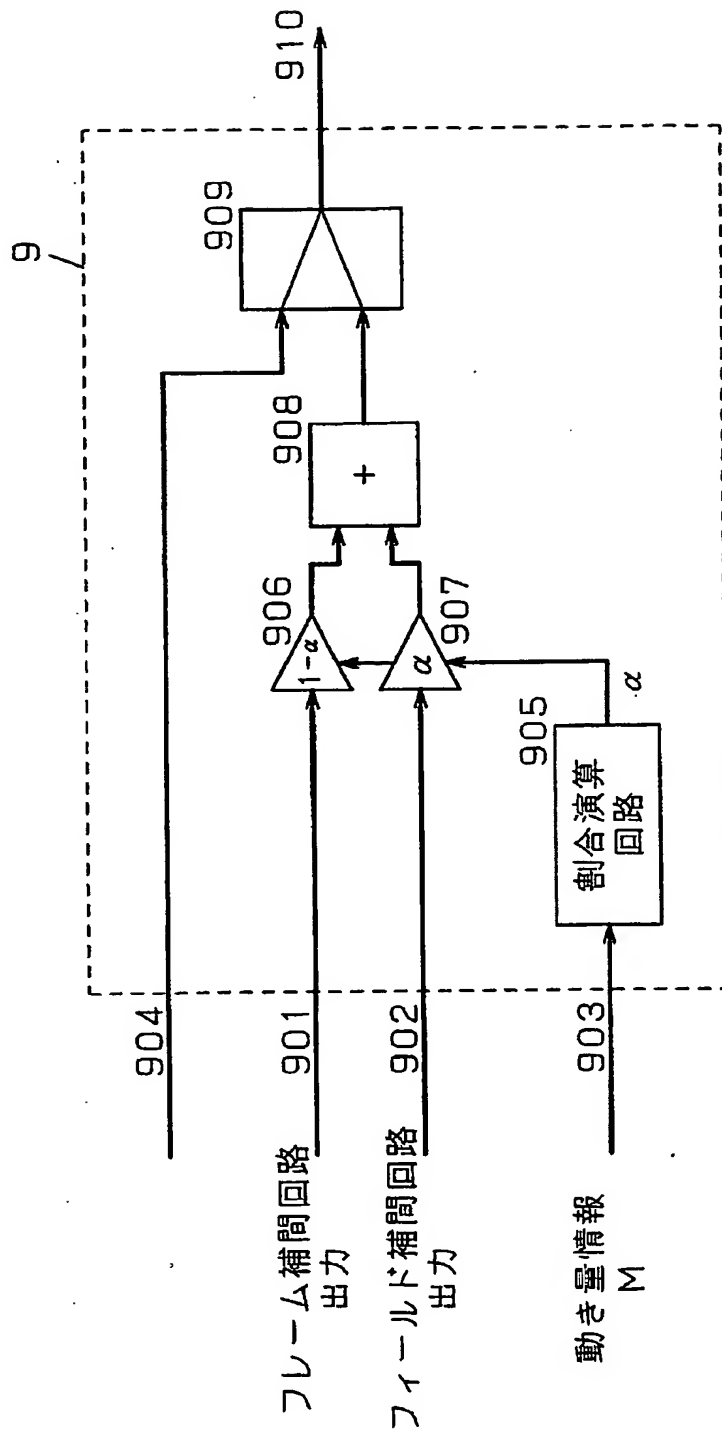
【図4】



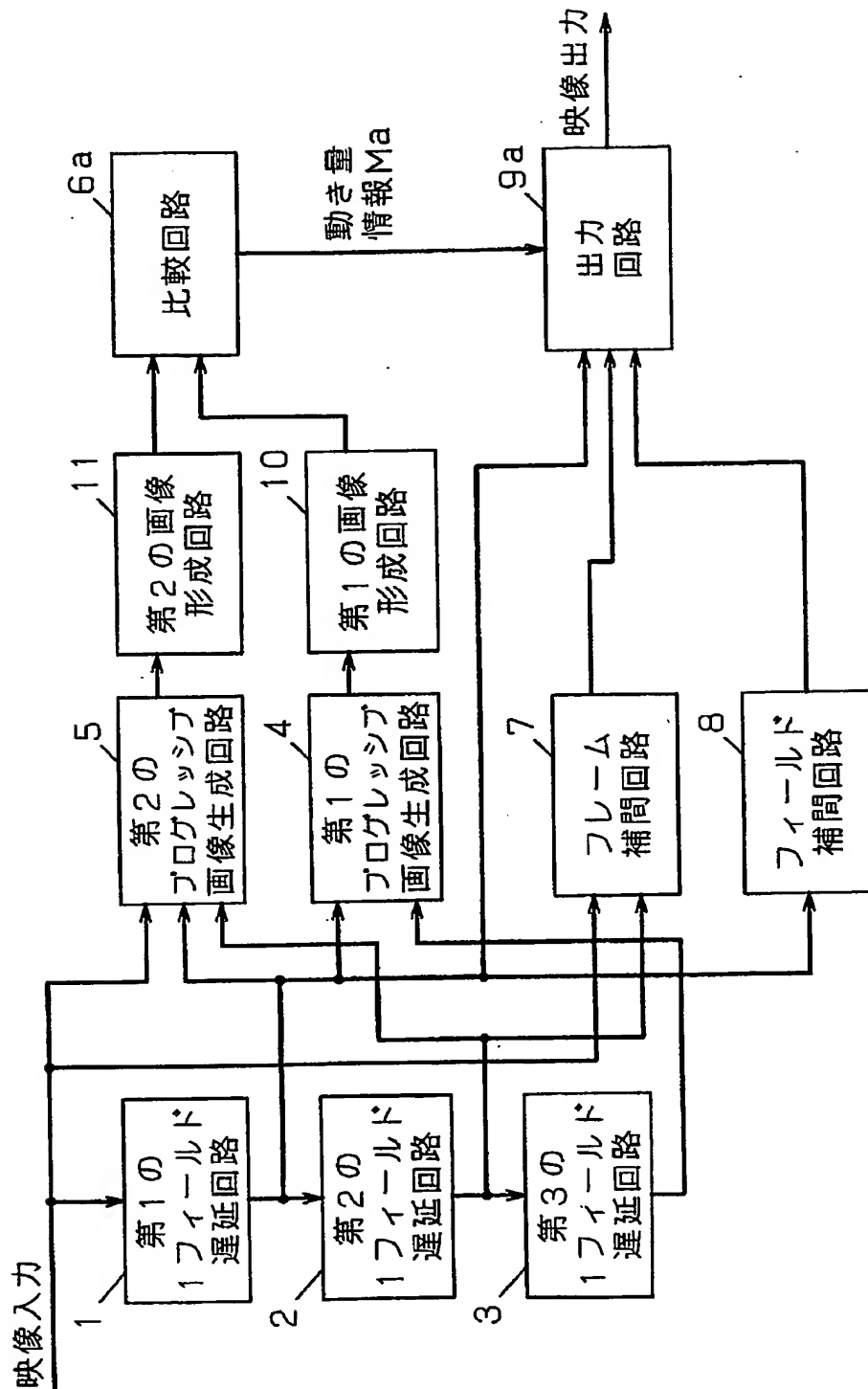
【図5】



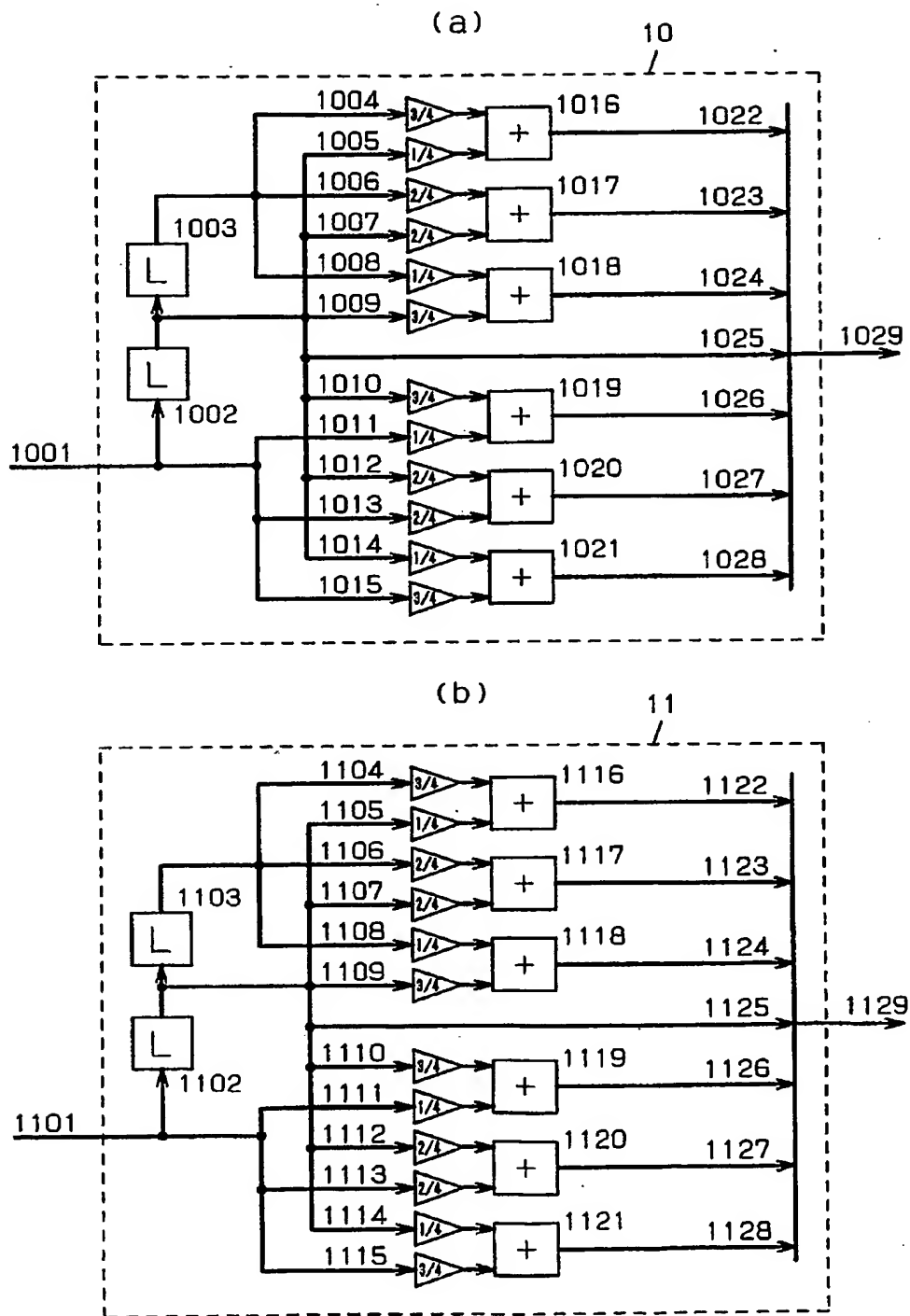
【図 6】



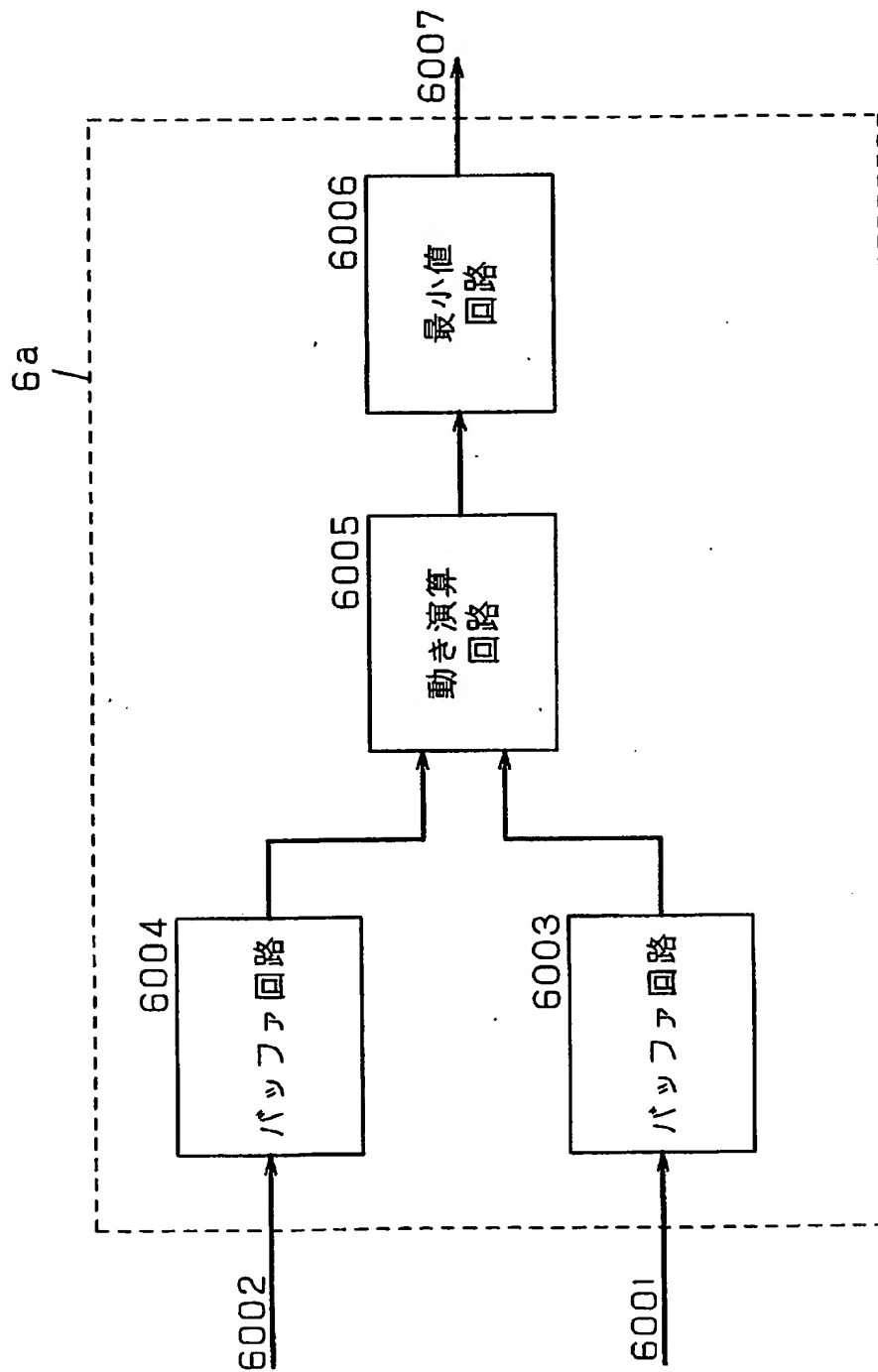
【図7】



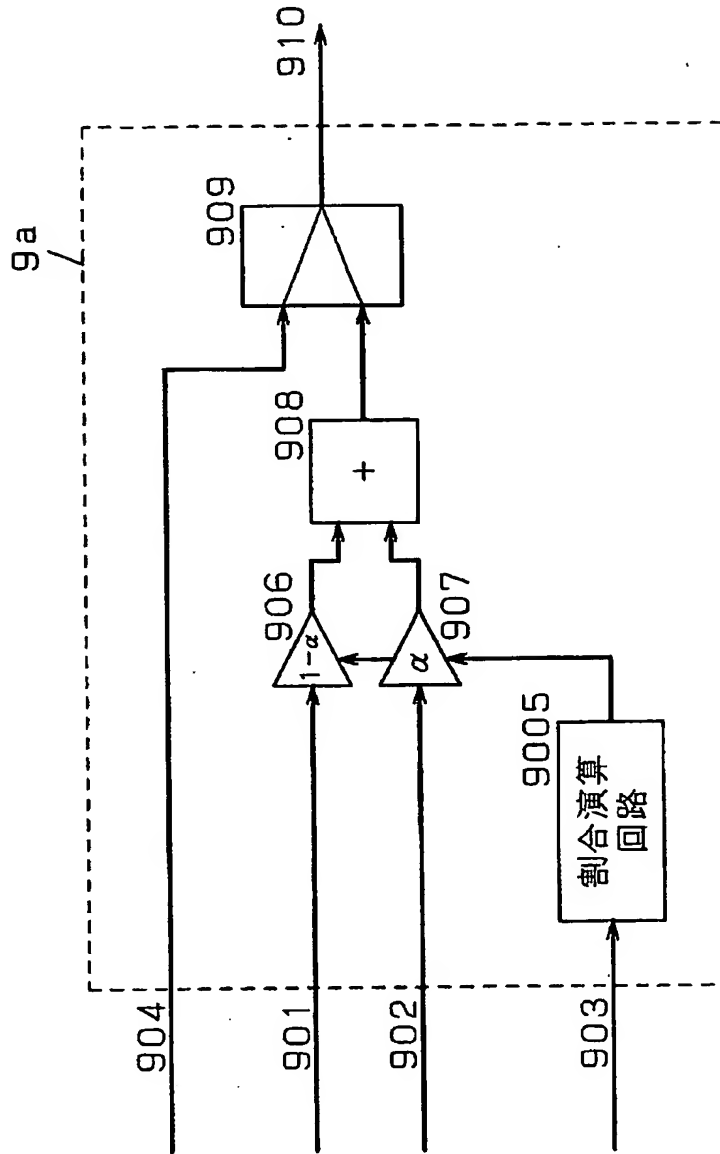
【図8】



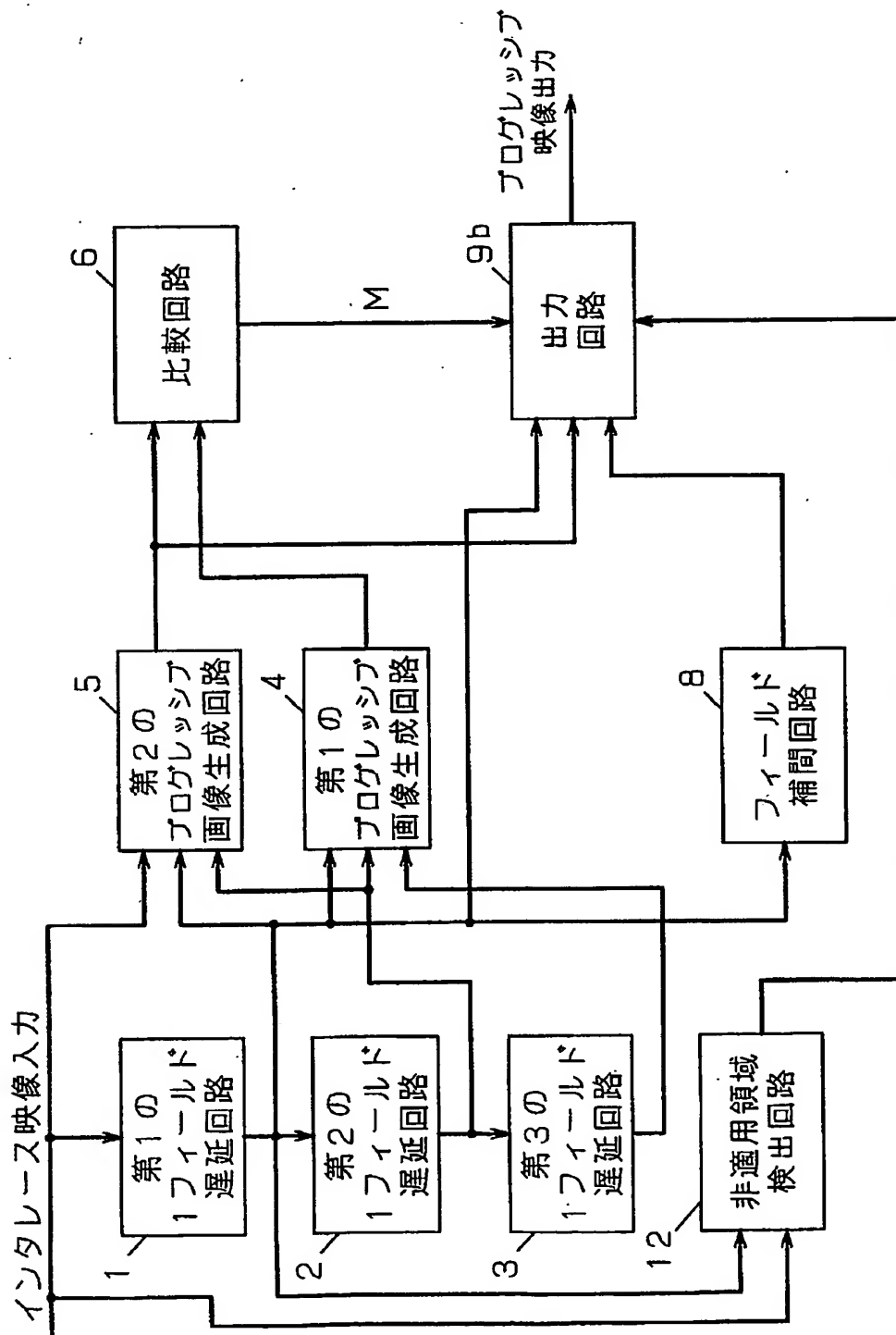
【図9】



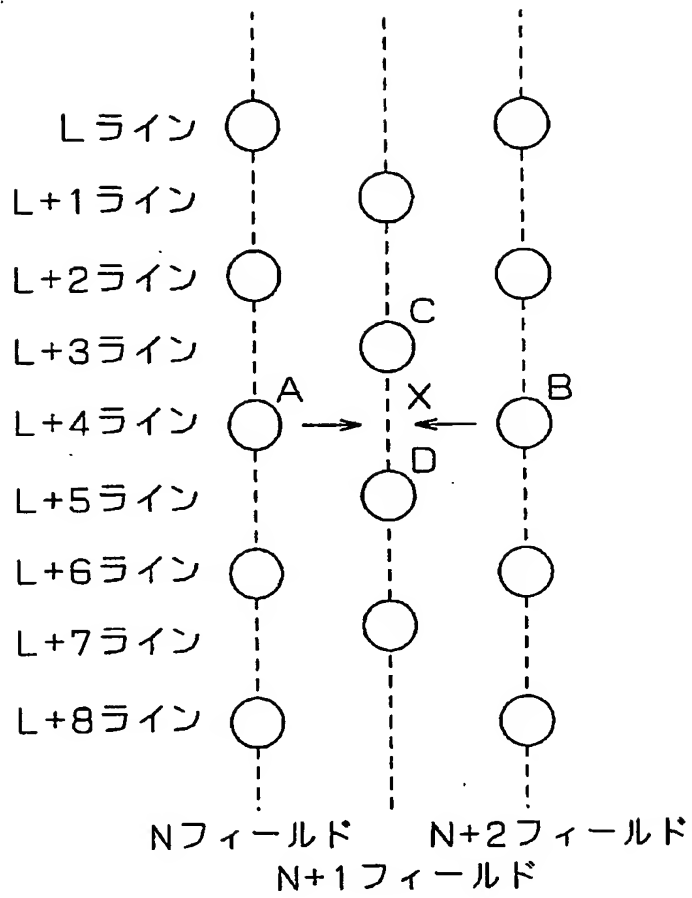
【図 1 0】



【図11】

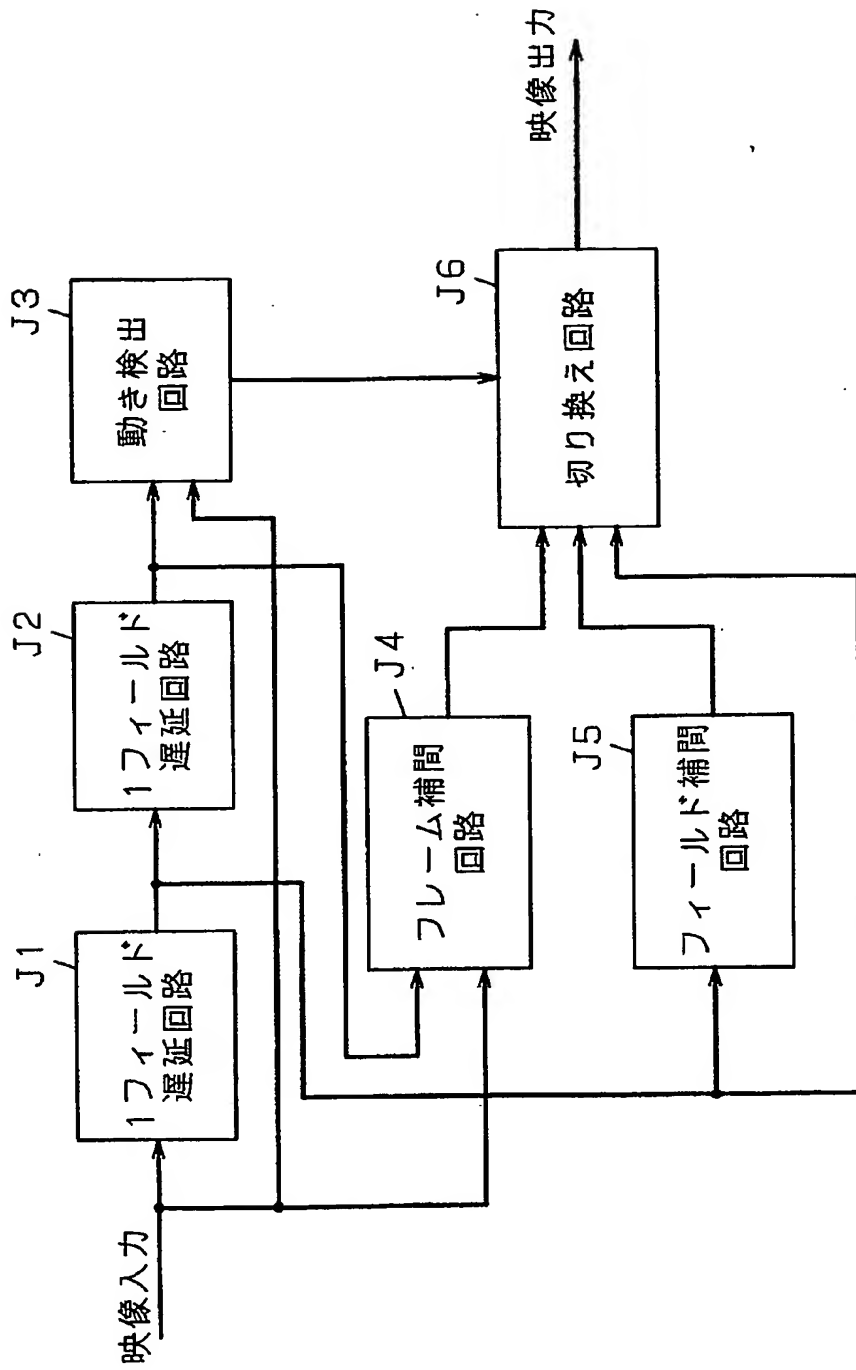


【図12】

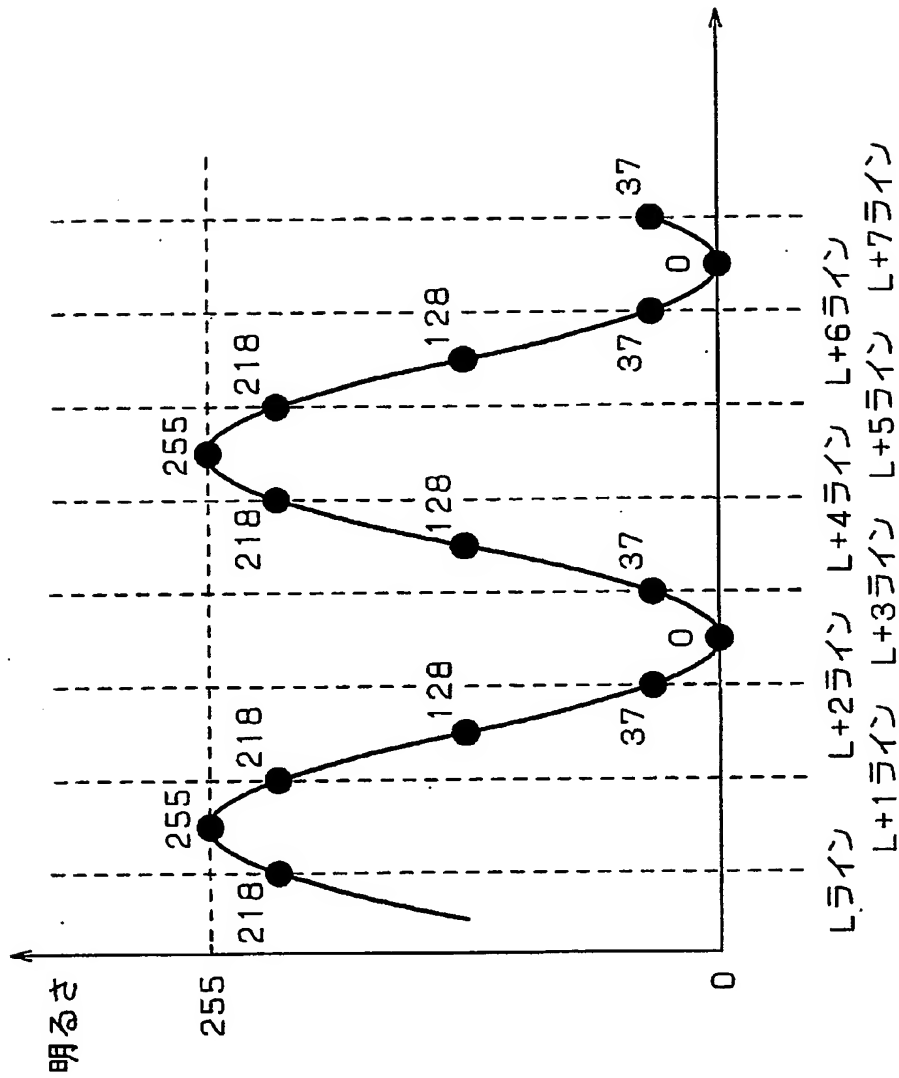




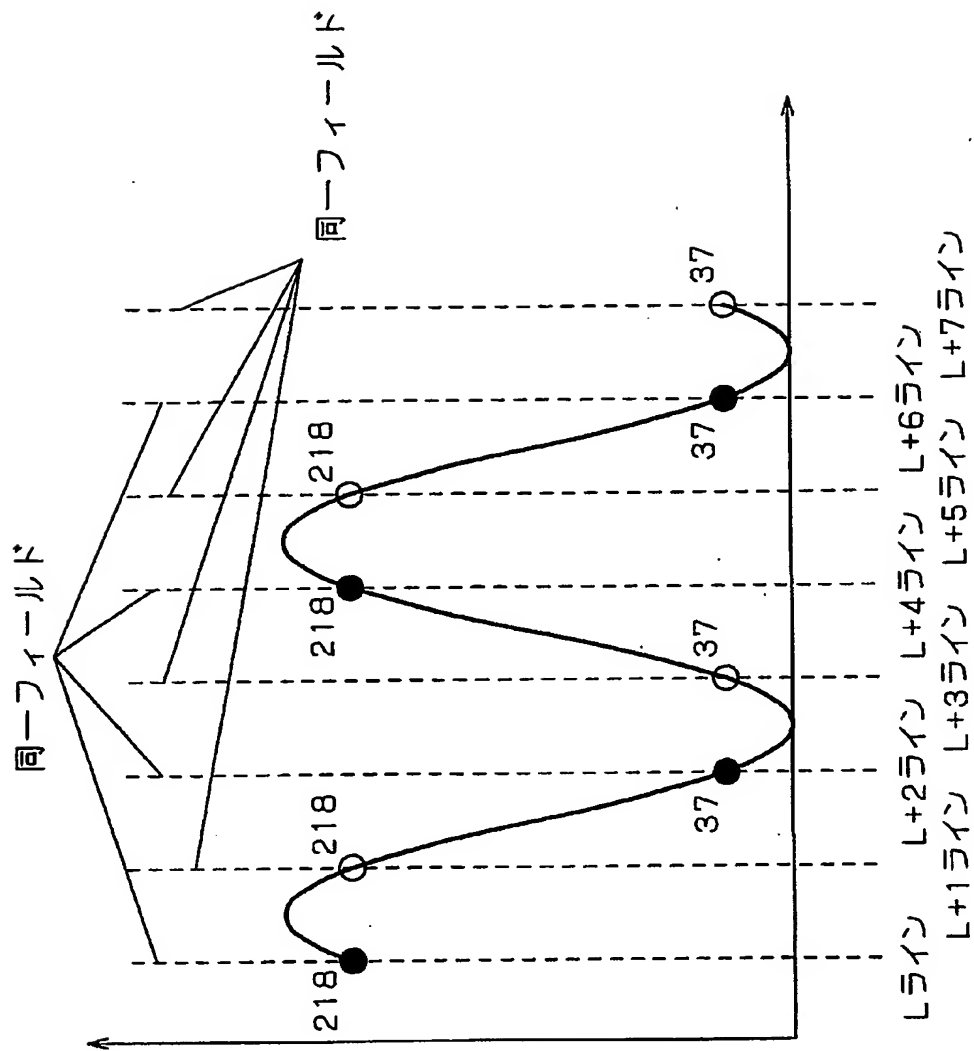
【図13】



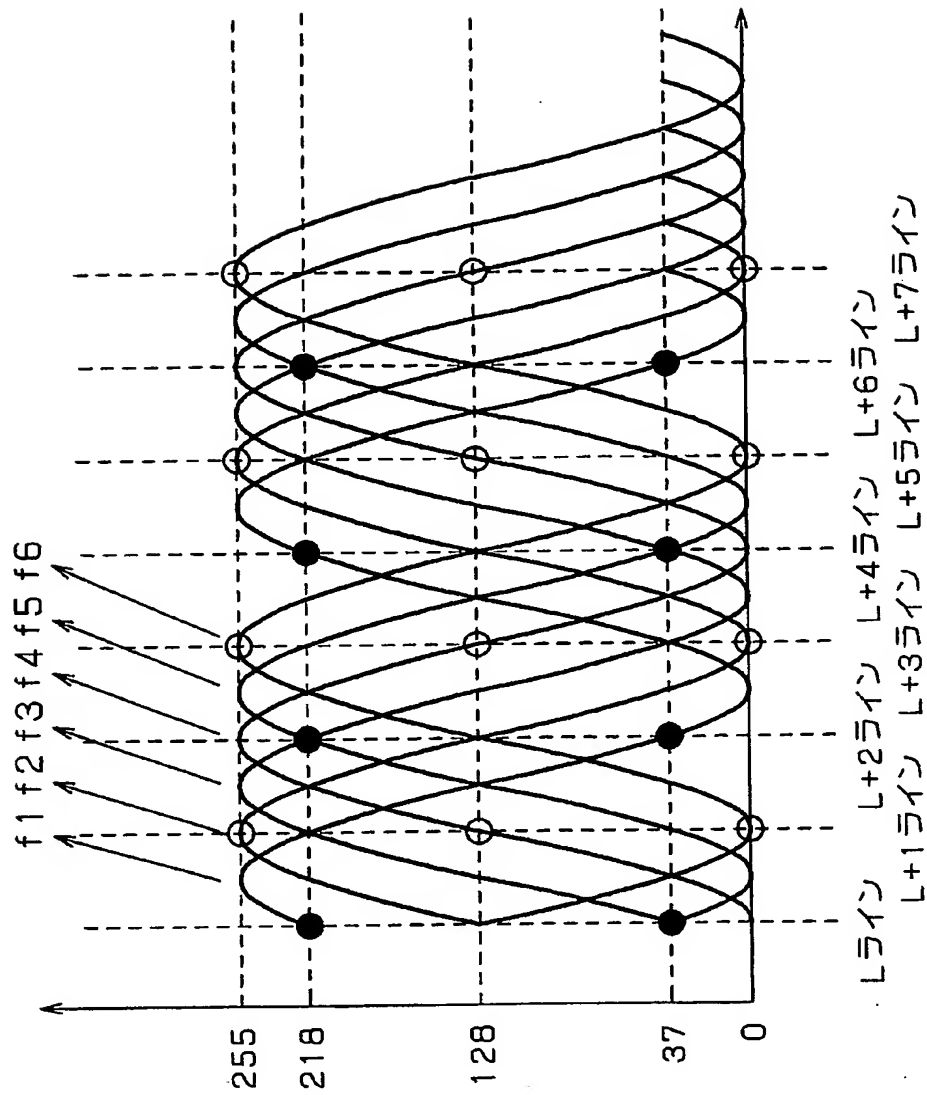
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 垂直方向の大きな輝度差を持つ画像がゆっくり動いたときのなどにおいても、正確な動き判定を行い、安定で解像度の高い動画像を提供することを目的とする。

【解決手段】 入力された連続する複数のインタレース画像フィールド信号から複数のプログレッシブ画像フィールド信号を生成し、次に前記プログレッシブ画像フィールド信号のそれぞれは画素間に新たな信号を形成した新たなプログレッシブ画像フィールド信号を生成し、それらを比較して動き量を演算し、その動き量によって、静止画プログレッシブ画像フィールド信号と動画プログレッシブ画像フィールド信号との割合を変えて出力することを特徴とする画像変換装置。

【選択図】 図 1

特2002-114569

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社